

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Junichi ARIYOSHI, et al.**

Group Art Unit: Not Yet Assigned

Serial No.: Not Yet Assigned

Examiner: Not Yet Assigned

Filed: **August 20, 2003**

For: **SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 20, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-240540, filed August 21, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



William G. Kratz, Jr.
Attorney for Applicant
Reg. No. 22,631

WGK/jaz
Atty. Docket No. **031010**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850
PATENT TRADEMARK OFFICE

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 8月21日

出願番号

Application Number: 特願2002-240540

[ST.10/C]:

[JP2002-240540]

出願人

Applicant(s): 富士通株式会社

2002年12月 6日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3096398

【書類名】 特許願

【整理番号】 0240598

【提出日】 平成14年 8月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 有吉 潤一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 鳥井 智史

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091672

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704683

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板の上に形成されたゲート電極と、

前記ゲート電極の両側の前記半導体基板に不純物を低濃度に導入して形成された低濃度不純物層と、

少なくとも前記低濃度不純物層の上に形成された第1の絶縁膜と、

前記第1の絶縁膜に設けられて前記低濃度不純物層の一部が露出する開口部と

前記低濃度不純物層の前記開口部に整合する位置に不純物を前記低濃度不純物層よりも高濃度に導入して形成されたソース／ドレイン層と、

前記ソース／ドレイン層の表面をシリサイド化して形成されたシリサイド膜と

前記半導体基板の上に形成されて前記ゲート電極及び前記第1の絶縁膜を覆う第2の絶縁膜と、

前記第2の絶縁膜の前記開口部に整合する位置に前記開口部よりも広い幅で形成され、前記第2の絶縁膜の上面から前記開口部を介して前記ソース／ドレイン層に到達するコンタクトホールと、

前記コンタクトホール内に導電体を埋め込んで形成されたコンタクトプラグと

前記第2の絶縁膜の上に形成され、前記コンタクトプラグを介して前記シリサイド膜と電気的に接続された配線と

を有することを特徴とする半導体装置。

【請求項2】 半導体基板上にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して低濃度不純物層を形成する工程と、

前記半導体基板及び前記ゲート電極の上に第1の絶縁膜を形成し、該第1の絶縁膜をパターニングして前記低濃度不純物層の一部が露出する開口部を形成する

工程と、

前記開口部を介して前記低濃度不純物層に不純物を前記低濃度不純物層よりも高濃度に導入してソース／ドレイン層を形成する工程と、

前記開口部の内側の前記ソース／ドレイン層の表面をシリサイド化してシリサイド膜を形成する工程と、

前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、

前記第1の絶縁膜の開口部よりも広い幅で前記第2の絶縁膜をエッチングして、前記シリサイド膜が露出するコンタクトホールを形成する工程と、

前記コンタクトホールに導電体を埋め込んでコンタクトプラグを形成する工程と、

前記第2の絶縁膜上に、前記コンタクトプラグを介して前記シリサイド膜に電気的に接続した配線を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板と、

前記半導体基板の上に形成されたゲート電極と、

前記ゲート電極の両側の前記半導体基板に不純物を低濃度に導入して形成された低濃度不純物層と、

前記低濃度不純物層及び前記ゲート電極の上に形成された第1の絶縁膜と、

前記第1の絶縁膜に設けられて前記ゲート電極の一部が露出する開口部と、

前記開口部の内側の前記ゲート電極の表面をシリサイド化して形成されたシリサイド膜と、

前記半導体基板の上に形成されて前記ゲート電極及び前記第1の絶縁膜を覆う第2の絶縁膜と、

前記第2の絶縁膜の上面から前記低濃度不純物層に到達するコンタクトホールと、

前記低濃度不純物層の前記コンタクトホールに整合する位置に不純物を前記低濃度不純物層よりも高濃度に導入して形成されたソース／ドレイン層と、

前記コンタクトホール内に導電体を埋め込んで形成されたコンタクトプラグと

前記第2の絶縁膜の上に形成され、前記コンタクトプラグを介して前記ソース／ドレイン層と電気的に接続された配線と
を有することを特徴とする半導体装置。

【請求項4】 半導体基板上にゲート電極を形成する工程と、
前記ゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して低濃度不純物層を形成する工程と、

前記半導体基板の上側全面に第1の絶縁膜を形成し、該第1の絶縁膜をパテーニングして前記ゲート電極の一部が露出する開口部を形成する工程と、

前記開口部の内側の前記ゲート電極の表面をシリサイド化してシリサイド膜を形成する工程と、

前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、
前記第2の絶縁膜の上面から前記低濃度不純物層に到達するコンタクトホールを形成する工程と、

前記コンタクトホールを介して前記低濃度不純物層に不純物を前記低濃度不純物層よりも高濃度に導入してソース／ドレイン層を形成する工程と、

前記コンタクトホール内に導電体を埋め込んでコンタクトプラグを形成する工程と、

前記第2の絶縁膜上に、前記コンタクトプラグを介して前記ソース／ドレイン層に電気的に接続した配線を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項5】 高電圧トランジスタ及び低電圧トランジスタを有する半導体装置の製造方法において、

半導体基板の高電圧トランジスタ形成領域に第1のゲート電極を形成し、低電圧トランジスタ形成領域に第2のゲート電極を形成する工程と、

前記第1のゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して第1の低濃度不純物層を形成し、前記第2のゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して第2の低濃度不純物層を形成する工程と、

前記半導体基板の上側全面に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜の上に、前記低電圧トランジスタ形成領域全体と前記第1の低濃度不純物層上の前記第1の絶縁膜の一部とが露出する開口部を有するレジスト膜を形成する工程と、

前記第1の絶縁膜を異方性エッチングして前記第1の絶縁膜に前記第1の低濃度不純物層に通じる開口部を形成すると共に、前記第2のゲート電極の両側にサイドウォールを形成する工程と、

前記レジスト膜を除去する工程と、

前記第1の絶縁膜及び前記サイドウォールをマスクとして前記第1及び第2の低濃度不純物層に不純物を前記第1及び第2の低濃度不純物層よりも高濃度に導入し、前記第1の低濃度不純物層に第1のソース／ドレイン層をすると共に前記第2の低濃度不純物層に第2のソース／ドレイン層を形成する工程と、

前記第1のソース／ドレイン層の表面をシリサイド化して第1のシリサイド膜を形成すると共に、前記第2のソース／ドレイン層の表面をシリサイド化して第2のシリサイド膜を形成する工程と、

前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜の上面から前記第1の絶縁膜の開口部を介して前記第1のシリサイド膜に到達する第1のコンタクトホールを形成すると共に、前記第2の絶縁膜の上面から前記第2のシリサイド膜に到達する第2のコンタクトホールを形成する工程と、

前記第1及び第2のコンタクトホール内に導電体を埋め込んでコンタクトプラグを形成する工程と、

前記第2の絶縁膜上に、前記コンタクトプラグと接続された配線を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項6】 高電圧トランジスタ及び低電圧トランジスタを有する半導体装置の製造方法において、

半導体基板の高電圧トランジスタ形成領域に第1のゲート電極を形成し、低電圧トランジスタ形成領域に第2のゲート電極を形成する工程と、

前記第1のゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入

して第1の低濃度不純物層を形成し、前記第2のゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して第2の低濃度不純物層を形成する工程と、

前記半導体基板の上側全面に第1の絶縁膜を形成する工程と、

前記半導体基板の上に、前記低電圧トランジスタ形成領域全体と前記第1のゲート電極の上の前記第1の絶縁膜の一部とが露出する開口部を有するレジスト膜を形成する工程と、

前記第1の絶縁膜を異方性エッチングして前記第1の絶縁膜に前記第1のゲート電極に到達する開口部を形成すると共に、前記第2のゲート電極の両側にサイドウォールを形成する工程と、

前記レジスト膜を除去する工程と、

前記サイドウォールをマスクとして前記第2の低濃度不純物層に不純物を前記第2の低濃度不純物層よりも高濃度に導入して第1のソース／ドレイン層を形成する工程と、

前記第1のソース／ドレイン層の表面をシリサイド化して第1のシリサイド膜を形成すると共に、前記第1のゲート電極の表面をシリサイド化して第2のシリサイド膜を形成する工程と、

前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜の上面から前記第1のシリサイド膜に到達する第1のコンタクトホールを形成する工程と、

前記第2の絶縁膜の上面から前記第1の低濃度不純物層に到達する第2のコンタクトホールを形成する工程と、

前記第2のコンタクトホールを介して前記第1の低濃度不純物層に不純物を前記第1の低濃度不純物層よりも高濃度に導入して第2のソース／ドレイン層を形成する工程と、

前記第1及び第2のコンタクトホール内に導電体を埋め込んでコンタクトプラグを形成する工程と、

前記第2の絶縁膜上に、前記コンタクトプラグと接続された配線を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シリサイド膜を介して素子と配線とを接続する半導体装置に関し、特にフラッシュメモリのように低電圧で動作するトランジスタと高電圧で駆動するトランジスタとを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

フラッシュメモリ等の半導体装置は、5V又はそれ以下の低電圧で動作する低電圧トランジスタと、20V程度の高電圧で動作する高電圧トランジスタとが混載されて構成されている。

【0003】

図1は、従来の半導体装置の高電圧トランジスタと配線との接続部を示す断面図である。この図1を参照して、従来の半導体装置の製造方法を説明する。

【0004】

まず、半導体基板10の所定の位置に溝（トレンチ）を形成し、溝内にSiO₂（酸化シリコン）等の絶縁物質を埋め込んで素子分離膜11を形成する。その後、半導体基板10の表面を酸化させてゲート絶縁膜（図示せず）を形成し、ゲート絶縁膜上に所定のパターンでゲート電極12を形成する。

【0005】

その後、ゲート電極12をマスクとして半導体基板10の表面に不純物を比較的低濃度に導入し、LDD（Lightly Doped Drain）層13を形成する。LDD層13はゲート電極12の両側にそれぞれ形成されるが、図1では一方のLDD層13のみを図示している。

【0006】

次に、半導体基板10の上側全面にSiO₂等の絶縁膜を形成する。そして、この絶縁膜を異方性エッチングしてゲート電極12の両側部にのみ絶縁膜を残し、サイドウォール14とする。

【0007】

次に、半導体基板10の上側全面にSiO₂等の絶縁物質を堆積して層間絶縁膜15を形成する。ゲート電極12、LDD層13及び素子分離膜11等は、この層間絶縁膜15により覆われる。

【0008】

次に、フォトリソグラフィ法により層間絶縁膜15を選択的にエッチングして、LDD層13に到達するコンタクトホール15hを形成する。そして、このコンタクトホール15hを介して半導体基板10の表面に不純物を高濃度にイオン注入して、ソース／ドレイン層13aを形成する。

【0009】

次いで、コンタクトホール15h内に金属等の導電体を埋め込んで、コンタクトプラグ15aを形成する。その後、層間絶縁膜15の上に金属膜を形成し、この金属膜をフォトリソグラフィ法によりパターニングして配線16を形成する。

【0010】

このようにして製造された半導体装置において、トランジスタの耐圧はソース／ドレイン層13aとゲート電極12との間の距離aに関係し、この距離aが大きいほどトランジスタの耐圧が高くなる。

【0011】

ところで、近年、半導体装置の微細化がより一層促進される傾向にある。これに伴って、ゲート電極又はソース／ドレイン層と配線との間のコンタクト部の面積も縮小されている。このため、コンタクト部の特性をより一層向上させるために、サリサイドプロセスにより形成するシリサイド膜が使用されるようになった。

【0012】

図2は、従来の半導体装置の他の例を示す断面図である。この図2を参照してサリサイドプロセスを有する従来の半導体装置の製造方法を説明する。

【0013】

半導体基板20の素子分離領域に不純物を高濃度にイオン注入して、素子分離用不純物領域21を形成する。また、素子分離領域の半導体基板20の表面を酸

化させて、素子分離膜22を形成する。

【0014】

次に、素子領域の半導体基板20の表面を酸化させてゲート絶縁膜（図示せず）を形成し、ゲート絶縁膜の上に所定のパターンでポリシリコンからなるゲート電極23を形成する。その後、ゲート電極23をマスクとして半導体基板20に不純物を低濃度にイオン注入して、LDD層24を形成する。LDD層24は、ゲート電極23の両側にそれぞれ形成される。

【0015】

次に、半導体基板20の上側全面にシリサイドブロックとなるSiN（窒化シリコン）膜25を形成し、このSiN膜25を所定の形状にパターニングする。そして、SiN膜25の開口部からLDD層24に不純物を高濃度にイオン注入してソース／ドレイン層24aを形成する。また、半導体基板20の上側全面にコバルト又はタンクステン等の金属膜を形成した後、熱処理を施して、ゲート電極23及びソース／ドレイン層24aの表面にそれぞれシリサイド膜26a, 26bを形成する。その後、エッチングにより未反応の金属膜を除去する。

【0016】

次に、半導体基板20の上側全面にSiO₂等の絶縁膜を堆積させて層間絶縁膜27を形成する。そして、この層間絶縁膜27に、ソース／ドレイン層24aに到達するコンタクトホール27hを形成し、コンタクトホール27h内に導電体物質を埋め込んでコンタクトプラグ27aを形成する。

【0017】

次いで、層間絶縁膜27の上に金属膜を形成し、この金属膜をフォトリソグラフィ法によりパターニングして配線28を形成する。このようにして、半導体装置が完成する。

【0018】

【発明が解決しようとする課題】

しかしながら、本願発明者等は、上述した従来の半導体装置の製造方法には以下に示す問題点があると考える。

【0019】

図2に示す半導体装置において、トランジスタの耐圧はゲート電極23とソース／ドレイン層24aとの間の距離aに関係する。一方、フォトリソグラフィ法により層間絶縁膜27にコンタクトホール27hを形成するときには、マスクの位置合わせのマージンbが必要であるので、シリサイド膜26bのサイズはコンタクトホール27hの先端のサイズcよりも大きくする必要がある。従って、従来の半導体装置の製造方法では位置合わせのマージンbだけ、すなわちソース／ドレイン層24aのエッジとコンタクトプラグ27aとの間の距離分だけトランジスタのサイズが大きくなり、半導体装置の高密度化が阻害される。

【0020】

以上から本発明の目的は、ゲート電極又はソース／ドレイン層の上にシリサイド膜を有し、かつ従来に比べてより一層の高密度化が可能な半導体装置及びその製造方法を提供することである。

【0021】

【課題を解決するための手段】

上記した課題は、半導体基板と、前記半導体基板の上に形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板に不純物を低濃度に導入して形成された低濃度不純物層と、少なくとも前記低濃度不純物層の上に形成された第1の絶縁膜と、前記第1の絶縁膜に設けられて前記低濃度不純物層の一部が露出する開口部と、前記低濃度不純物層の前記開口部に整合する位置に不純物を前記低濃度不純物層よりも高濃度に導入して形成されたソース／ドレイン層と、前記ソース／ドレイン層の表面をシリサイド化して形成されたシリサイド膜と、前記半導体基板の上に形成されて前記ゲート電極及び前記第1の絶縁膜を覆う第2の絶縁膜と、前記第2の絶縁膜の前記開口部に整合する位置に前記開口部よりも広い幅で形成され、前記第2の絶縁膜の上面から前記開口部を介して前記ソース／ドレイン層に到達するコンタクトホールと、前記コンタクトホール内に導電体を埋め込んで形成されたコンタクトプラグと、前記第2の絶縁膜の上に形成され、前記コンタクトプラグを介して前記シリサイド膜と電気的に接続された配線とを有することを特徴とする半導体装置により解決する。

【0022】

本発明においては、ソース／ドレイン層は第1の絶縁膜の開口部に整合する位置に形成されている。また、本発明においては、第1の絶縁膜（シリサイドブロック）の開口部がコンタクトホールよりも狭い幅で形成されており、この開口部を介しソース／ドレイン層上のシリサイド膜とコンタクトプラグとが接続されている。従って、ゲート電極とソース／ドレイン層との間隔を必要最小限にすることができる、要求される耐圧を確保しながら半導体装置を高密度化することが可能となる。

【0023】

また、上記の課題は、半導体基板上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して低濃度不純物層を形成する工程と、前記半導体基板及び前記ゲート電極の上に第1の絶縁膜を形成し、該第1の絶縁膜をパターニングして前記低濃度不純物層の一部が露出する開口部を形成する工程と、前記開口部を介して前記低濃度不純物層に不純物を前記低濃度不純物層よりも高濃度に導入してソース／ドレイン層を形成する工程と、前記開口部の内側の前記ソース／ドレイン層の表面をシリサイド化してシリサイド膜を形成する工程と、前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、前記第1の絶縁膜の開口部よりも広い幅で前記第2の絶縁膜をエッチングして、前記シリサイド膜が露出するコンタクトホールを形成する工程と、前記コンタクトホールに導電体を埋め込んでコンタクトプラグを形成する工程と、前記第2の絶縁膜上に、前記コンタクトプラグを介して前記シリサイド膜に電気的に接続した配線を形成する工程とを有することを特徴とする半導体装置の製造方法により解決する。

【0024】

本発明においては、第1の絶縁膜の開口部を介して低濃度不純物層に不純物を高濃度に導入してソース／ドレイン層を形成する。従って、ソース／ドレイン層の大きさは開口部の大きさとほぼ同じとなる。

【0025】

次に、半導体基板の上に第2の絶縁膜を形成し、この第2の絶縁膜をエッチングして、第1の絶縁膜の開口部よりも広い幅のコンタクトホールを形成する。こ

のとき、第1の絶縁膜に比べて第2の絶縁膜のエッティングレートが高い条件でエッティングを実施すれば、第1の絶縁膜は殆どエッティングされないので、開口部の内側の空間がコンタクトホールの基板側の先端となる。

【0026】

従って、コンタクトホールとソース／ドレイン層のエッジとの間隔が殆どゼロとなり、従来に比べてコンタクトホールとゲート電極との間隔が縮小される。これにより、半導体装置の高集積化が可能となる。

【0027】

更に、上記の課題は、半導体基板と、前記半導体基板の上に形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板に不純物を低濃度に導入して形成された低濃度不純物層と、前記低濃度不純物層及び前記ゲート電極の上に形成された第1の絶縁膜と、前記第1の絶縁膜に設けられて前記ゲート電極の一部が露出する開口部と、前記開口部の内側の前記ゲート電極の表面をシリサイド化して形成されたシリサイド膜と、前記半導体基板の上に形成されて前記ゲート電極及び前記第1の絶縁膜を覆う第2の絶縁膜と、前記第2の絶縁膜の上面から前記低濃度不純物層に到達するコンタクトホールと、前記低濃度不純物層の前記コンタクトホールに整合する位置に不純物を前記低濃度不純物層よりも高濃度に導入して形成されたソース／ドレイン層と、前記コンタクトホール内に導電体を埋め込んで形成されたコンタクトプラグと、前記第2の絶縁膜の上に形成され、前記コンタクトプラグを介して前記ソース／ドレイン層と電気的に接続された配線とを有することを特徴とする半導体装置により解決する。

【0028】

本発明においては、第1の絶縁膜をシリサイドブロックとしてゲート電極上にシリサイド膜が形成される。また、第2の絶縁膜（層間絶縁膜）の上面から低濃度不純物層に到達するコンタクトホールを形成し、そのコンタクトホールを介して低濃度不純物層に不純物を高濃度に導入してソース／ドレイン層が形成される。従って、コンタクトホールとソース／ドレイン層のエッジとの間隔は殆どゼロであり、半導体装置の高密度化が達成される。

【0029】

更にまた、上記の課題は、半導体基板上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して低濃度不純物層を形成する工程と、前記半導体基板の上側全面に第1の絶縁膜を形成し、該第1の絶縁膜をパターニングして前記ゲート電極の一部が露出する開口部を形成する工程と、前記開口部の内側の前記ゲート電極の表面をシリサイド化してシリサイド膜を形成する工程と、前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上面から前記低濃度不純物層に到達するコンタクトホールを形成する工程と、前記コンタクトホールを介して前記低濃度不純物層に不純物を前記低濃度不純物層よりも高濃度に導入してソース／ドレイン層を形成する工程と、前記コンタクトホール内に導電体を埋め込んでコンタクトプラグを形成する工程と、前記第2の絶縁膜上に、前記コンタクトプラグを介して前記ソース／ドレイン層に電気的に接続した配線を形成する工程とを有することを特徴とする半導体装置の製造方法により解決する。

【0030】

本発明においては、第1の絶縁膜をシリサイドブロックとしてゲート電極上にシリサイド膜を形成し、更に第2の絶縁膜（層間絶縁膜）を形成した後に、第2の絶縁膜の上面から低濃度不純物層に到達するコンタクトホールを形成する。その後、コンタクトホールを介して低濃度不純物層に不純物を高濃度に導入してソース／ドレイン層を形成する。従って、コンタクトホールとソース／ドレイン層のエッジとの間隔が殆どゼロとなり、半導体装置の高密度化が達成される。

【0031】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0032】

（第1の実施の形態）

図3、図4は本発明の第1の実施の形態の半導体装置の製造方法を工程順に示す断面図である。

【0033】

まず、図3（a）に示すように、半導体基板30の素子分離領域に溝（トレン

チ) を形成し、溝内に SiO_2 等の絶縁物質を埋め込んで素子分離膜31を形成する。その後、素子領域の半導体基板30の表面を酸化してゲート絶縁膜(図示せず)を形成し、ゲート絶縁膜上に所定のパターンでポリシリコンからなるゲート電極32を形成する。

【0034】

次に、ゲート電極32をマスクとして半導体基板30の表面に不純物を低濃度にイオン注入し、LDD層33を形成する。その後、半導体基板30の上側全面にシリサイドブロックとなるSiN膜34を例えば115nmの厚さに形成する。そして、このSiN膜34をフォトリソグラフィ法により所定の形状にパターンングして、LDD層33の一部が露出する開口部34a及びゲート電極32の一部が露出する開口部34bを形成する。開口部34aは例えば180nmの幅で形成し、開口部34bは例えば360nm×360nmの大きさに形成する。なお、シリサイドブロックとして、例えば厚さが15nmのSiO層(下層)と厚さが100nmのSiN層(上層)との2層構造の膜を使用してもよい。

【0035】

本実施の形態では、SiN膜34の開口部34aを形成する際にコンタクトホール形成時のマスクの位置合わせマージンを考慮する必要がない。すなわち、開口部34aは後述するコンタクトプラグとソース/ドレイン層との接続に必要な最小限の大きさに設定すればよい。

【0036】

次に、図3(b)に示すように、SiN膜34の開口部34aを介してLDD層33の表面に不純物を高濃度にイオン注入して、ソース/ドレイン層33aを形成する。その後、半導体基板30の上側全面にコバルト又はタンゲステン等の金属膜を形成し、熱処理を施す。これにより、金属膜中の金属原子とゲート電極32及びLDD層33の表面のシリコン原子とが反応して、LDD層33の上及びゲート電極32の上にそれぞれシリサイド膜36a, 36bが形成される。その後、エッティングにより未反応の金属膜を除去する。

【0037】

次に、図4(a)に示すように、半導体基板30の上側全面に SiO_2 等の絶

縁物質からなる層間絶縁膜37を例えば650nmの厚さに形成する。そして、フォトリソグラフィ法により層間絶縁膜37をエッチングして、ソース／ドレン層33上のシリサイド膜36aに到達するコンタクトホール37hを形成する。この場合、コンタクトホール37hはSiN膜34の開口部34aに整合する位置に形成するが、コンタクトホール37hのサイズはマスクの位置合わせマージンを考慮して決める。すなわち、コンタクトホール37hの大きさはSiN膜34の開口部34aよりも位置合わせマージン分以上大きく設定する。そして、SiO₂とSiNとのエッチング選択比が大きい条件で層間絶縁膜37をエッチングすると、SiN膜34は殆どエッチングされず、コンタクトホール37hの先端位置が自己整合的に（すなわち、SiN膜34の開口部34aの位置に）決まる。

【0038】

次いで、図4（b）に示すように、コンタクトホール37h内にタングステン（W）等の金属を埋め込んで、コンタクトプラグ37aを形成する。すなわち、半導体基板30の上側全面にTi（チタン）膜を例えば40nm、TiN（窒化チタン）膜を例えば15nmの厚さに順次形成し、コンタクトホール37h内の壁面及び底面をこれらのTi膜及びTiN膜により覆う。その後、半導体基板30の上側全面にタングステンを堆積させてコンタクトホール37h内にタングステンを埋め込むとともに、層間絶縁膜37上にタングステン膜を形成する。その後、層間絶縁膜37が露出するまでタングステン膜、Ti膜及びTiN膜をCMP（Chemical Mechanical Polishing）法により研磨して除去する。コンタクトホール37h内に残ったタングステン、TiN膜及びTi膜によりコンタクトプラグ37aが構成される。

【0039】

なお、図5の上面図に示すように、例えばSiN膜34の開口部34aはゲート電極32に平行なスリット（直線）状に形成し、コンタクトホール37hはスリット34aに沿って一定の間隔で並べて形成する。

【0040】

その後、層間絶縁膜37の上に金属膜を形成する。この金属膜は、例えば厚さ

が20nmのTi膜と、厚さが50nmのTiN膜と、厚さが500nmのAl（アルミニウム）膜と、厚さが100nmのTiN膜とをこの順に積層した積層膜である。その後、フォトリソグラフィ法によりこの金属膜をパターニングして配線を形成する。これらの配線のうちの所定の配線38は、コンタクトプラグ37a及びシリサイド膜36aを介してソース／ドレイン層33aに電気的に接続される。このようにして、半導体装置が完成する。

【0041】

本実施の形態では、シリサイドブロックであるSiN膜34の開口部34aを使用してコンタクトホール37hの先端位置を自己整合的に決定する。従って、ゲート電極32とソース／ドレイン層36aとの間隔はコンタクトホール37h形成時の位置合わせマージンに関係しない。これにより、ソース／ドレイン層33aとゲート電極32との間隔を小さくすることができ、半導体装置の高密度化が達成される。また、本実施の形態においては、シリサイド膜36aを介してソース／ドレイン層36aとコンタクトプラグ37aとが電気的に接続されるので、コンタクト特性が良好である。

【0042】

図6～図14は、本発明の第1の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図である。

【0043】

まず、図6に示すように、p型シリコン半導体基板40の素子分離領域に溝（トレンチ）を形成し、溝内にSiO₂等の絶縁物質を埋め込んで素子分離膜41を形成する。なお、上記したSTI（Shallow Trench Isolation；埋め込み素子分離）法による素子分離膜に替えて、LOCOS（Local Oxidation of Silicon；局所酸化）法により素子分離膜を形成してもよい。

【0044】

次に、nチャネル低電圧トランジスタ形成領域、pチャネル低電圧トランジスタ形成領域及びpチャネル高電圧トランジスタ形成領域にそれぞれp型不純物又はn型不純物を選択的に導入して、pウェル42a、nウェル42b及びnウェ

ル42cを形成する。

【0045】

その後、半導体基板40の素子領域の表面を酸化してゲート絶縁膜（図示せず）を形成し、nチャネル高電圧トランジスタ形成領域、nチャネル低電圧トランジスタ形成領域、pチャネル低電圧トランジスタ形成領域及びpチャネル高電圧トランジスタ形成領域のゲート絶縁膜上にそれぞれポリシリコンからなるゲート電極43a, 43b, 43c, 43dを所定の形状で形成する。

【0046】

次に、ゲート電極43aをマスクとして半導体基板40の表面にn型不純物を低濃度に導入し、nチャネル高電圧トランジスタのLDD層44aを形成する。更に、ゲート電極43bをマスクとしてpウェル42aの表面にn型不純物を低濃度に導入し、nチャネル低電圧トランジスタのLDD層44bを形成する。

【0047】

これと同様に、ゲート電極43cをマスクとしてnウェル42bの表面にp型不純物を低濃度に導入し、pチャネル低電圧トランジスタのLDD層44cを形成する。更に、ゲート電極43dをマスクとしてnウェル42cの表面にp型不純物を低濃度に導入し、pチャネル高電圧トランジスタのLDD層44dを形成する。

【0048】

次に、図7に示すように、半導体基板40の上側全面にSiO₂膜45を形成し、更にその上にシリサイドブロックとなるSiN膜46を形成する。本実施の形態では、後述するようにSiO₂膜45及びSiN膜46によりゲート電極43b, 43cの側方にサイドウォールを形成するが、SiO₂膜又はSiN膜のみでサイドウォールを形成することも可能である。

【0049】

次に、SiN膜46の上にフォトレジスト膜を形成し、露光及び現像処理を施して、図8に示すようにシリサイド膜を形成しない領域を覆うレジスト膜47を形成する。そして、このレジスト膜47をマスクとしてSiN膜46及びSiO₂膜45を異方性エッチングする。

【0050】

この異方性エッチングにより、低電圧トランジスタのゲート電極43b, 43c及びLDD層44b, 44cが露出すると共に、レジスト膜47の開口部47a, 47b, 47c, 47dを介してnチャネル高電圧トランジスタのLDD層44aの一部及びゲート電極43aの一部、並びにpチャネル高電圧トランジスタのLDD層44dの一部及びゲート電極43dの一部がそれぞれ露出する。また、ゲート電極43b, 43cの側部には、SiO₂膜45及びSiN膜46からなるサイドウォール（セルフアラインサイドウォール）48が形成される。

【0051】

なお、図15(a), (b)に示すように、高電圧トランジスタ形成領域の開口部47a(又は、47c)は、ゲート電極43a(43d)に沿って並んだ複数の矩形形状、又はゲート電極43a(又は、43d)に沿ったスリット形状とする

次に、レジスト膜47を除去した後、図9に示すように、pチャネル低電圧トランジスタ形成領域及びpチャネル高電圧トランジスタ形成領域を覆うフォトレジスト膜49を形成する。そして、SiN膜46及びサイドウォール48をマスクとしてnチャネル高電圧トランジスタ形成領域及びnチャネル低電圧トランジスタ形成領域のLDD層44a, 44bにn型不純物を高濃度にイオン注入して、ソース/ドレイン層50a, 50bをそれぞれ形成する。その後、レジスト膜49を除去する。

【0052】

次に、図10に示すように、nチャネル低電圧トランジスタ形成領域及びnチャネル高電圧トランジスタ形成領域を覆うフォトレジスト膜51を形成する。そして、SiN46膜及びサイドウォール48をマスクとしてpチャネル高電圧トランジスタ形成領域及びpチャネル低電圧トランジスタ形成領域のLDD層44c, 44dにp型不純物を高濃度にイオン注入して、ソース/ドレイン層50c, 50dをそれぞれ形成する。その後、レジスト膜51を除去する。

【0053】

次に、半導体基板40の上側全面にコバルト又はタングステン等の金属膜を形

成し、熱処理を施す。これにより、金属膜とシリコン膜とが接触している部分では金属膜中の金属原子とシリコン膜中のシリコン原子とが反応して、図11に示すように、ソース／ドレイン層50a, 50b, 50c, 50d及びゲート電極43a, 43b, 43c, 43dの上にそれぞれシリサイド膜52a, 52b, 52c, 52d, 53a, 53b, 53c, 53dが形成される。その後、未反応の金属膜をエッチングにより除去する。

【0054】

次に、図12に示すように、半導体基板40の上側全面に層間絶縁膜54としてSiO₂膜を形成する。

【0055】

その後、図13に示すように、フォトリソグラフィ法により層間絶縁膜54の上面からシリサイド膜52a, 52b, 52c, 52dに到達するコンタクトホール54hを形成する。この場合、高電圧トランジスタ形成領域では、コンタクトホール54hのサイズをシリサイドブロックであるSiN膜46の開口部よりもマスクの位置合わせマージン分以上大きく設定する。これにより、コンタクトホールの先端位置がSiN膜46の開口部の位置に自己整合的に決まる。高電圧トランジスタ形成領域のコンタクトホール54hは、例えば、図16(a)～(d)に示すように、スリット状又はゲート電極43a(又は、43d)に沿って並ぶ矩形状とする。

【0056】

次いで、図14に示すように、これらのコンタクトホール54h内にタングステン等の金属を埋め込んでコンタクトプラグ55a, 55b, 55c, 55dをそれぞれ形成する。その後、層間絶縁膜54上に例えば、Ti層、TiN層、Al層及びTiN層とこの順に積層してなる金属膜を形成する。そして、フォトリソグラフィ法によりこの金属膜をパターニングして配線を形成する。これらの配線のうちの所定の配線56a, 56b, 56c, 56dは、それぞれコンタクトプラグ55a, 55b, 55c, 55dを介してソース／ドレイン層50a, 50b, 50c, 50dに電気的に接続される。

【0057】

このように、本実施の形態の半導体装置の製造方法は、低電圧トランジスタ及び高電圧トランジスタが混載された半導体装置の製造に適用することができる。この場合も、高電圧トランジスタのソース／ドレイン層とゲート電極との間隔を小さくすることができるので、半導体装置の高集積化が達成されるという効果が得られる。

【0058】

(第2の実施の形態)

図17、図18は本発明の第2の実施の形態の半導体装置の製造方法を工程順に示す断面図である。

【0059】

まず、図17(a)に示すように、半導体基板60の素子分離領域に溝(トレチ)を形成し、溝内に SiO_2 等の絶縁物質を埋め込んで素子分離膜61を形成する。その後、素子領域の半導体基板60の表面を酸化してゲート絶縁膜(図示せず)を形成し、ゲート絶縁膜上に所定のパターンでポリシリコンからなるゲート電極62を形成する。

【0060】

次に、ゲート電極62をマスクとして半導体基板60の表面に不純物を低濃度にイオン注入して、LDD層63を形成する。その後、半導体基板60の上側全面にシリサイドブロックとなる SiN 膜64を例えば115nmの厚さに形成する。そして、この SiN 膜64をフォトリソグラフィ法により所定の形状にパターニングして、ゲート電極62の一部が露出する開口部64aを形成する。

【0061】

次に、半導体基板60の上側全面にコバルト又はタングステン等の金属膜を形成した後、熱処理を施す。これにより、図17(b)に示すように、ゲート電極62の上にシリサイド膜66が形成される。その後、未反応の金属膜を除去する。

【0062】

次に、半導体基板60の上側全面に SiO_2 等の絶縁物質からなる層間絶縁膜67を例えば650nmの厚さに形成し、ゲート電極62及び SiN 膜64等を

層間絶縁膜67で覆う。

【0063】

次に、図18(a)に示すように、フォトリソグラフィ法により層間絶縁膜67の上面からLDD層63に到達するコンタクトホール67hを形成する。そして、このコンタクトホール67hを介してLDD層63の表面に不純物を高濃度にイオン注入して、ソース／ドレイン層63aを形成する。この場合に、例えば図19に示すように、コンタクトホール67hの形状を矩形とし、複数のコンタクトホール67hをゲート電極62に沿って並ぶように形成する。

【0064】

次いで、図18(b)に示すように、コンタクトホール67h内にタングステン等の金属を埋め込んで、コンタクトプラグ67aを形成する。すなわち、半導体基板60の上側全面にTi膜を例えば40nm、TiN膜を例えば15nmの厚さに順次形成し、コンタクトホール67h内の壁面及び底面をこれらのTi膜及びTiN膜により覆う。その後、半導体基板60の上側全面にタングステンを堆積させてコンタクトホール67h内にタングステンを埋め込むと共に、層間絶縁膜67上にタングステン膜を形成する。そして、層間絶縁膜67が露出するまでタングステン膜、Ti膜及びTiN膜をCMP研磨して除去する。コンタクトホール67h内に残ったタングステン、Ti膜及びTiN膜によりコンタクトプラグ67aが構成される。

【0065】

その後、層間絶縁膜67上に金属膜を形成する。この金属膜は、例えば厚さが20nmのTi膜と、厚さが50nmのTiN膜と、厚さが500nmのAl膜と、厚さが100nmのTiN膜とをこの順に積層した積層膜である。続いて、フォトリソグラフィ法によりこの金属膜をパターニングして配線を形成する。これらの配線のうちの所定の配線68は、コンタクトプラグ67aを介してソース／ドレイン層63aに電気的に接続される。このようにして、半導体装置が完成する。

【0066】

本実施の形態では、SiN膜64及び層間絶縁膜67を形成した後、層間絶縁

膜67及びSiN膜64をエッティングしてコンタクトホール67hを形成する。そして、このコンタクトホール67hを介してLDD層63に不純物を導入し、ソース／ドレイン層63aを形成する。従って、ソース／ドレイン層63aのサイズは、シリサイドブロックであるSiN膜64の開口部と同じになる。これにより、ソース／ドレイン層63aとゲート電極62との間隔を従来に比べて小さくすることができ、半導体装置の高密度化が達成される。

【0067】

図20～図31は、本発明の第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図である。

【0068】

まず、図20に示すように、p型シリコン半導体基板70の素子分離領域に溝（トレンチ）を形成し、溝内にSiO₂等の絶縁物質を埋め込んで素子分離膜71を形成する。

【0069】

次に、nチャネル低電圧トランジスタ形成領域、pチャネル低電圧トランジスタ形成領域及びpチャネル高電圧トランジスタ形成領域にそれぞれp型不純物又はn型不純物を選択的に導入して、pウェル72a、nウェル72b及びnウェル72cを形成する。

【0070】

その後、半導体基板70の素子領域表面を酸化してゲート絶縁膜（図示せず）を形成し、nチャネル高電圧トランジスタ形成領域、nチャネル低電圧トランジスタ形成領域、pチャネル低電圧トランジスタ形成領域及びpチャネル高電圧トランジスタ形成領域のゲート絶縁膜上にそれぞれポリシリコンからなるゲート電極73a、73b、73c、73dを所定の形状に形成する。

【0071】

次に、ゲート電極73aをマスクとして半導体基板70の表面にn型不純物を導入し、nチャネル高電圧トランジスタのLDD層74aを形成する。更に、ゲート電極73bをマスクとしてpウェル72aの表面にn型不純物を導入し、n

チャネル低電圧トランジスタのLDD層74bを形成する。

【0072】

これと同様に、ゲート電極73cをマスクとしてnウェル72bの表面にp型不純物を導入し、pチャネル低電圧トランジスタのLDD層74cを形成する。更に、ゲート電極73dをマスクとしてnウェル72cの表面にp型不純物を導入し、pチャネル高電圧トランジスタのLDD層74dを形成する。

【0073】

次に、図21に示すように、半導体基板70の上側全面にSiO₂膜75を形成し、更にその上にシリサイドブロックとなるSiN膜76を形成する。

【0074】

次に、SiN膜76の上にフォトレジスト膜を形成し、露光及び現像処理を施して、図22に示すようにシリサイド膜を形成しない領域を覆うレジスト膜77を形成する。そして、このレジスト膜77をマスクとしてSiN膜76及びSiO₂膜75を異方性エッチングする。

【0075】

この異方性エッチングにより、低電圧トランジスタのゲート電極73b, 73cが露出すると共に、レジスト膜77の開口部77a, 77bを介してnチャネル高電圧トランジスタのゲート電極73aの一部及びpチャネル高電圧トランジスタのゲート電極73dの一部がそれぞれ露出する。また、ゲート電極73b, 73cの側部には、SiO₂膜75及びSiN膜76からなるサイドウォール78が形成される。

【0076】

次に、レジスト膜77を除去した後、図23に示すように、pチャネル低電圧トランジスタ形成領域及びpチャネル高電圧トランジスタ形成領域を覆うフォトレジスト膜79を形成する。そして、SiN膜76及びサイドウォール78をマスクとしてnチャネル低電圧トランジスタ形成領域のLDD層74bにn型不純物を高濃度にイオン注入して、ソース/ドレイン層80bを形成する。その後、レジスト膜79を除去する。

【0077】

次に、図24に示すように、nチャネル低電圧トランジスタ形成領域及びnチャネル高電圧トランジスタ形成領域をフォトレジスト膜81により覆う。そして、SiN膜76及びサイドウォール78をマスクとしてpチャネル低電圧トランジスタ形成領域のLDD層74cにp型不純物を高濃度にイオン注入して、ソース／ドレイン層80cを形成する。その後、レジスト膜81を除去する。

【0078】

次に、半導体基板70の上側全面にコバルト又はタングステン等の金属膜を形成し、熱処理を施す。これにより、金属膜とシリコン膜とが接触している部分では金属膜中の金属元素とシリコン膜中のシリコン元素とが反応して、図25に示すように、ゲート電極73a, 73b, 73c, 73dの上にシリサイド膜82a, 82b, 82c, 82dが形成されるとともに、ソース／ドレイン層80b, 80cの上にシリサイド膜83b, 83cが形成される。その後、未反応の金属膜をエッティングにより除去する。

【0079】

次に、図26に示すように、半導体基板70の上側全面に層間絶縁膜84としてSiO₂膜を形成する。

【0080】

その後、図27に示すように、層間絶縁膜84の上にフォトレジスト膜85を形成し、露光及び現像処理を施して、nチャネル低電圧トランジスタ及びpチャネル低電圧トランジスタのソース／ドレイン層80b, 80c上のシリサイド膜83b, 83cに対応する部分に開口部を設ける。そして、この開口部から層間絶縁膜84を異方性エッティングして、nチャネル低電圧トランジスタ形成領域及びpチャネル低電圧トランジスタ形成領域のシリサイド膜83b, 83cに到達するコンタクトホール85hを形成する。その後、レジスト膜85を除去する。

【0081】

次に、図28に示すように、層間絶縁膜84の上にフォトレジスト膜86を形成し、露光及び現像処理を施して、nチャネル高電圧トランジスタ及びpチャネル高電圧トランジスタのLDD層74a, 74dに対応する部分に開口部を設ける。そして、この開口部から層間絶縁膜84を異方性をエッティングして、nチャ

ネル高電圧トランジスタ及びpチャネル高電圧トランジスタのLDD層74a, 74dに到達するコンタクトホール86hを形成する。その後、レジスト膜86を除去する。

【0082】

この工程では、例えば図32(a)に示すようにコンタクトホール86hを矩形状に形成し、ゲート電極82a(又は、82d)に沿って配置してもよいし、図32(b)に示すように、コンタクトホール86hをゲート電極82a(又は、82d)に沿って延びるスリット状に形成してもよい。

【0083】

次に、図29に示すように、層間絶縁膜84上にフォトレジスト膜87を形成し、露光及び現像処理を施して、nチャネル高電圧トランジスタ形成領域に対応する部分に開口部を設ける。そして、コンタクトホール86hを介してLDD層74aにn型不純物を高濃度に導入して、ソース/ドレイン層88aを形成する。その後、レジスト膜87を除去する。

【0084】

次に、図30に示すように、層間絶縁膜84上にフォトレジスト膜89を形成し、露光及び現像処理を施して、pチャネル高電圧トランジスタ形成領域に対応する部分に開口部を設ける。そして、コンタクトホール86hを介してLDD層74dにp型不純物を高濃度に導入して、ソース/ドレイン層88dを形成する。その後、レジスト膜89を除去する。

【0085】

次いで、図31に示すように、層間絶縁膜84のコンタクトホール85h, 86h内にタングステン等の金属を埋め込んでコンタクトプラグ90a, 90b, 90c, 90dをそれぞれ形成する。その後、層間絶縁膜84上に例えば、Ti層、TiN層、Al層及びTiN層をこの順に積層してなる金属膜を形成する。そして、フォトリソグラフィ法によりこの金属膜をパターニングして配線を形成する。これらの配線のうちの所定の配線91aはコンタクトプラグ90aを介してn型高電圧トランジスタのソース/ドレイン層88aに接続され、配線91bはコンタクトプラグ90b及びシリサイド膜83bを介してn型低電圧トランジ

スタのソース／ドレイン層80bに接続され、配線91cはコンタクトプラグ90c及びシリサイド膜83cを介してp型低電圧トランジスタのソース／ドレイン層80cに接続され、配線91dはコンタクトプラグ90dを介してp型高電圧トランジスタのソース／ドレイン層88dに接続される。

【0086】

このように、本実施の形態の半導体装置の製造方法は、低電圧トランジスタ及び高電圧トランジスタが混載された半導体装置の製造に適用することができる。この場合も、高電圧トランジスタのソース／ドレイン層とゲート電極との間隔を小さくすることができるので、半導体装置の高集積化が達成されるという効果が得られる。

【0087】

（付記1）半導体基板と、前記半導体基板の上に形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板に不純物を低濃度に導入して形成された低濃度不純物層と、少なくとも前記低濃度不純物層の上に形成された第1の絶縁膜と、前記第1の絶縁膜に設けられて前記低濃度不純物層の一部が露出する開口部と、前記低濃度不純物層の前記開口部に整合する位置に不純物を前記低濃度不純物層よりも高濃度に導入して形成されたソース／ドレイン層と、前記ソース／ドレイン層の表面をシリサイド化して形成されたシリサイド膜と、前記半導体基板の上に形成されて前記ゲート電極及び前記第1の絶縁膜を覆う第2の絶縁膜と、前記第2の絶縁膜の前記開口部に整合する位置に前記開口部よりも広い幅で形成され、前記第2の絶縁膜の上面から前記開口部を介して前記ソース／ドレイン層に到達するコンタクトホールと、前記コンタクトホール内に導電体を埋め込んで形成されたコンタクトプラグと、前記第2の絶縁膜の上に形成され、前記コンタクトプラグを介して前記シリサイド膜と電気的に接続された配線とを有することを特徴とする半導体装置。

【0088】

（付記2）前記第1の絶縁膜は窒化シリコンにより構成され、前記第2の絶縁膜は酸化シリコンにより構成されていることを特徴とする付記1に記載の半導体装置。

【0089】

(付記3) 半導体基板上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して低濃度不純物層を形成する工程と、前記半導体基板及び前記ゲート電極の上に第1の絶縁膜を形成し、該第1の絶縁膜をパターニングして前記低濃度不純物層の一部が露出する開口部を形成する工程と、前記開口部を介して前記低濃度不純物層に不純物を前記低濃度不純物層よりも高濃度に導入してソース／ドレイン層を形成する工程と、前記開口部の内側の前記ソース／ドレイン層の表面をシリサイド化してシリサイド膜を形成する工程と、前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、前記第1の絶縁膜の開口部よりも広い幅で前記第2の絶縁膜をエッチングして、前記シリサイド膜が露出するコンタクトホールを形成する工程と、前記コンタクトホールに導電体を埋め込んでコンタクトプラグを形成する工程と、前記第2の絶縁膜上に、前記コンタクトプラグを介して前記シリサイド膜に電気的に接続した配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0090】

(付記4) 前記第1の絶縁膜を窒化シリコンにより形成し、前記第2の絶縁膜を酸化シリコンにより形成することを特徴とする付記3に記載の半導体装置の製造方法。

【0091】

(付記5) 前記コンタクトホールを生成する際に、前記第1の絶縁膜と前記第2の絶縁膜との選択比が大きい条件で前記第2の絶縁膜をエッチングすることを特徴とする付記3に記載の半導体装置の製造方法。

【0092】

(付記6) 前記開口部と前記ゲート電極との間隔を、トランジスタの耐圧に応じて設定することを特徴とする付記3に記載の半導体装置の製造方法。

【0093】

(付記7) 半導体基板と、前記半導体基板の上に形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板に不純物を低濃度に導入して形成された低濃度不純物層と、前記低濃度不純物層及び前記ゲート電極の上に形成された第1

の絶縁膜と、前記第1の絶縁膜に設けられて前記ゲート電極の一部が露出する開口部と、前記開口部の内側の前記ゲート電極の表面をシリサイド化して形成されたシリサイド膜と、前記半導体基板の上に形成されて前記ゲート電極及び前記第1の絶縁膜を覆う第2の絶縁膜と、前記第2の絶縁膜の上面から前記低濃度不純物層に到達するコンタクトホールと、前記低濃度不純物層の前記コンタクトホールに整合する位置に不純物を前記低濃度不純物層よりも高濃度に導入して形成されたソース／ドレイン層と、前記コンタクトホール内に導電体を埋め込んで形成されたコンタクトプラグと、前記第2の絶縁膜の上に形成され、前記コンタクトプラグを介して前記ソース／ドレイン層と電気的に接続された配線とを有することを特徴とする半導体装置。

【0094】

（付記8）前記第1の絶縁膜は窒化シリコンにより構成され、前記第2の絶縁膜は酸化シリコンにより構成されていることを特徴とする付記7に記載の半導体装置。

【0095】

（付記9）半導体基板上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して低濃度不純物層を形成する工程と、前記半導体基板の上側全面に第1の絶縁膜を形成し、該第1の絶縁膜をパターニングして前記ゲート電極の一部が露出する開口部を形成する工程と、前記開口部の内側の前記ゲート電極の表面をシリサイド化してシリサイド膜を形成する工程と、前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上面から前記低濃度不純物層に到達するコンタクトホールを形成する工程と、前記コンタクトホールを介して前記低濃度不純物層に不純物を前記低濃度不純物層よりも高濃度に導入してソース／ドレイン層を形成する工程と、前記コンタクトホール内に導電体を埋め込んでコンタクトプラグを形成する工程と、前記第2の絶縁膜上に、前記コンタクトプラグを介して前記ソース／ドレイン層に電気的に接続した配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0096】

(付記10) 前記第1の絶縁膜を窒化シリコンにより形成し、前記第2の絶縁膜を酸化シリコンにより形成することを特徴とする付記9に記載の半導体装置の製造方法。

【0097】

(付記11) 前記コンタクトホールと前記ゲート電極との間隔を、トランジスタに要求される耐圧に応じて設定することを特徴とする付記9に記載の半導体装置の製造方法。

【0098】

(付記12) 高電圧トランジスタ及び低電圧トランジスタを有する半導体装置の製造方法において、半導体基板の高電圧トランジスタ形成領域に第1のゲート電極を形成し、低電圧トランジスタ形成領域に第2のゲート電極を形成する工程と、前記第1のゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して第1の低濃度不純物層を形成し、前記第2のゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して第2の低濃度不純物層を形成する工程と、前記半導体基板の上側全面に第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上に、前記低電圧トランジスタ形成領域全体と前記第1の低濃度不純物層上の前記第1の絶縁膜の一部とが露出する開口部を有するレジスト膜を形成する工程と、前記第1の絶縁膜を異方性エッチングして前記第1の絶縁膜に前記第1の低濃度不純物層に通じる開口部を形成すると共に、前記第2のゲート電極の両側にサイドウォールを形成する工程と、前記レジスト膜を除去する工程と、前記第1の絶縁膜及び前記サイドウォールをマスクとして前記第1及び第2の低濃度不純物層に不純物を前記第1及び第2の低濃度不純物層よりも高濃度に導入し、前記第1の低濃度不純物層に第1のソース／ドレイン層をすると共に前記第2の低濃度不純物層に第2のソース／ドレイン層を形成する工程と、前記第1のソース／ドレイン層の表面をシリサイド化して第1のシリサイド膜を形成すると共に、前記第2のソース／ドレイン層の表面をシリサイド化して第2のシリサイド膜を形成する工程と、前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上面から前記第1の絶縁膜の開口部を介して前記第1のシリサイド膜に到達する第1のコンタクトホールを形成すると共に、前記第2の絶

縁膜の上面から前記第2のシリサイド膜に到達する第2のコンタクトホールを形成する工程と、前記第1及び第2のコンタクトホール内に導電体を埋め込んでコンタクトプラグを形成する工程と、前記第2の絶縁膜上に、前記コンタクトプラグと接続された配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0099】

(付記13) 高電圧トランジスタ及び低電圧トランジスタを有する半導体装置の製造方法において、半導体基板の高電圧トランジスタ形成領域に第1のゲート電極を形成し、低電圧トランジスタ形成領域に第2のゲート電極を形成する工程と、前記第1のゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して第1の低濃度不純物層を形成し、前記第2のゲート電極をマスクとして前記半導体基板に不純物を低濃度に導入して第2の低濃度不純物層を形成する工程と、前記半導体基板の上側全面に第1の絶縁膜を形成する工程と、前記半導体基板の上に、前記低電圧トランジスタ形成領域全体と前記第1のゲート電極の上の前記第1の絶縁膜の一部とが露出する開口部を有するレジスト膜を形成する工程と、前記第1の絶縁膜を異方性エッチングして前記第1の絶縁膜に前記第1のゲート電極に到達する開口部を形成すると共に、前記第2のゲート電極の両側にサイドウォールを形成する工程と、前記レジスト膜を除去する工程と、前記サイドウォールをマスクとして前記第2の低濃度不純物層に不純物を前記第2の低濃度不純物層よりも高濃度に導入して第1のソース／ドレイン層を形成する工程と、前記第1のソース／ドレイン層の表面をシリサイド化して第1のシリサイド膜を形成すると共に、前記第1のゲート電極の表面をシリサイド化して第2のシリサイド膜を形成する工程と、前記半導体基板の上側全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上面から前記第1のシリサイド膜に到達する第1のコンタクトホールを形成する工程と、前記第2の絶縁膜の上面から前記第1の低濃度不純物層に到達する第2のコンタクトホールを形成する工程と、前記第2のコンタクトホールを介して前記第1の低濃度不純物層に不純物を前記第1の低濃度不純物層よりも高濃度に導入して第2のソース／ドレイン層を形成する工程と、前記第1及び第2のコンタクトホール内に導電体を埋め込んでコンタクトプラ

グを形成する工程と、前記第2の絶縁膜上に、前記コンタクトプラグと接続された配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0100】

【発明の効果】

以上説明したように、本発明の半導体装置及びその製造方法によれば、ソース／ドレイン層とコンタクトホールとがシリサイド膜を介して接続されているので、コンタクト部の電気的特性が良好である。また、コンタクトプラグとソース／ドレイン層のエッジとの間隔を殆どゼロとすることができるので、所望の耐圧を維持したまま、トランジスタのサイズを縮小することができる。これにより、半導体装置のより一層の高密度化が達成される。

【0101】

また、本発明の他の半導体装置及びその製造方法によれば、ゲート電極上にシリサイド膜を形成した後、第2の絶縁膜（層間絶縁膜）及び第1の絶縁膜（シリサイドブロック）をエッチングしてコンタクトホールを形成し、該コンタクトホールを介して低濃度不純物層に不純物を導入することによりソース／ドレイン層を形成する。従って、所望の耐圧を維持したまま、トランジスタのサイズを縮小することができ、半導体装置のより一層の高密度化が達成される。

【図面の簡単な説明】

【図1】

図1は、従来の半導体装置の高電圧トランジスタと配線との接続部を示す断面図である。

【図2】

図2は、従来の半導体装置の他の例を示す断面図である。

【図3】

図3は本発明の第1の実施の形態の半導体装置の製造方法を示す断面図（その1）である。

【図4】

図4は本発明の第1の実施の形態の半導体装置の製造方法を示す断面図（その2）である。

【図5】

図5は、SiN膜の開口部及びコンタクトホールの形状の例を示す模式上面図である。

【図6】

図6は、第1の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図(その1)である。

【図7】

図7は、第1の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図(その2)である。

【図8】

図8は、第1の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図(その3)である。

【図9】

図9は、第1の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図(その4)である。

【図10】

図10は、第1の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図(その5)である。

【図11】

図11は、第1の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図(その6)である。

【図12】

図12は、第1の実施の形態の半導体装置の製造方法を、低電圧トランジスタ

及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その7）である。

【図13】

図13は、第1の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その8）である。

【図14】

図14は、第1の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その9）である。

【図15】

図15（a）, (b)は、いずれも第1の実施の形態の高電圧トランジスタ形成領域の開口部の形状の例を示す図である。

【図16】

図16（a）～（d）は、いずれも第1の実施の形態の高電圧トランジスタ形成領域のコンタクトホールの形状の例を示す図である。

【図17】

図17は、本発明の第2の実施の形態の半導体装置の製造方法を示す断面図（その1）である。

【図18】

図18は、本発明の第2の実施の形態の半導体装置の製造方法を示す断面図（その2）である。

【図19】

図19は、コンタクトホールの形状の例を示す模式上面図である。

【図20】

図20は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その1）である。

【図21】

図21は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その2）である。

【図22】

図22は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その3）である。

【図23】

図23は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その4）である。

【図24】

図24は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その5）である。

【図25】

図25は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その6）である。

【図26】

図26は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その7）である。

【図27】

図27は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その8）である。

【図28】

図28は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ

及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その9）である。

【図29】

図29は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その10）である。

【図30】

図30は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その11）である。

【図31】

図31は、第2の実施の形態の半導体装置の製造方法を、低電圧トランジスタ及び高電圧トランジスタを備えた半導体装置の製造方法に適用した例を示す断面図（その12）である。

【図32】

図32（a）, (b)は、いずれも第2の実施の形態において、コンタクトホールの形状の例を示す上面図である。

【符号の説明】

10, 20, 30, 40, 60, 70…半導体基板、
 11, 22, 31, 41, 61, 71…素子分離膜、
 12, 23, 32, 43a～43d, 62, 73a～73d…ゲート電極、
 13, 24, 33, 44a～44d, 63, 74a～74d…LDD層、
 13a, 24a, 33a, 50a～50d, 63a, 80b, 80c, 88a
 …ソース／ドレイン層、
 14, 48, 78…サイドウォール、
 15, 27, 37, 54, 67, 84…層間絶縁膜、
 15a, 27a, 37a, 55a～55d, 67a, 90a～90d…コンタクトプラグ、
 15h, 27h, 37h, 54h, 67h, 85h, 86h…コンタクトホー

ル、

16, 28, 38, 68, 91a～91d…配線、

25, 34, 46, 64, 76…SiN膜

26a, 26b, 36a, 36b, 52a～52d, 66, 82a～82d,

83b, 83c…シリサイド膜、

42a, 72a…pウェル、

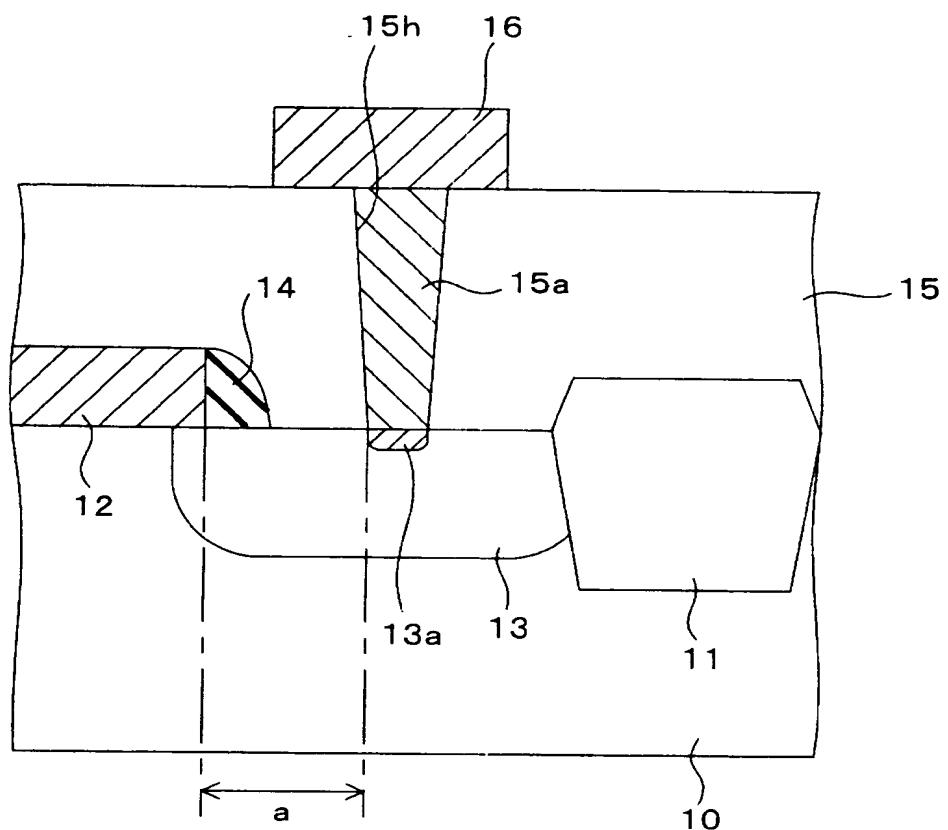
42b, 42c 72b, 72c…nウェル、

45, 75…SiO₂膜、

47, 77, 79, 81, 85, 86, 87, 89…レジスト膜。

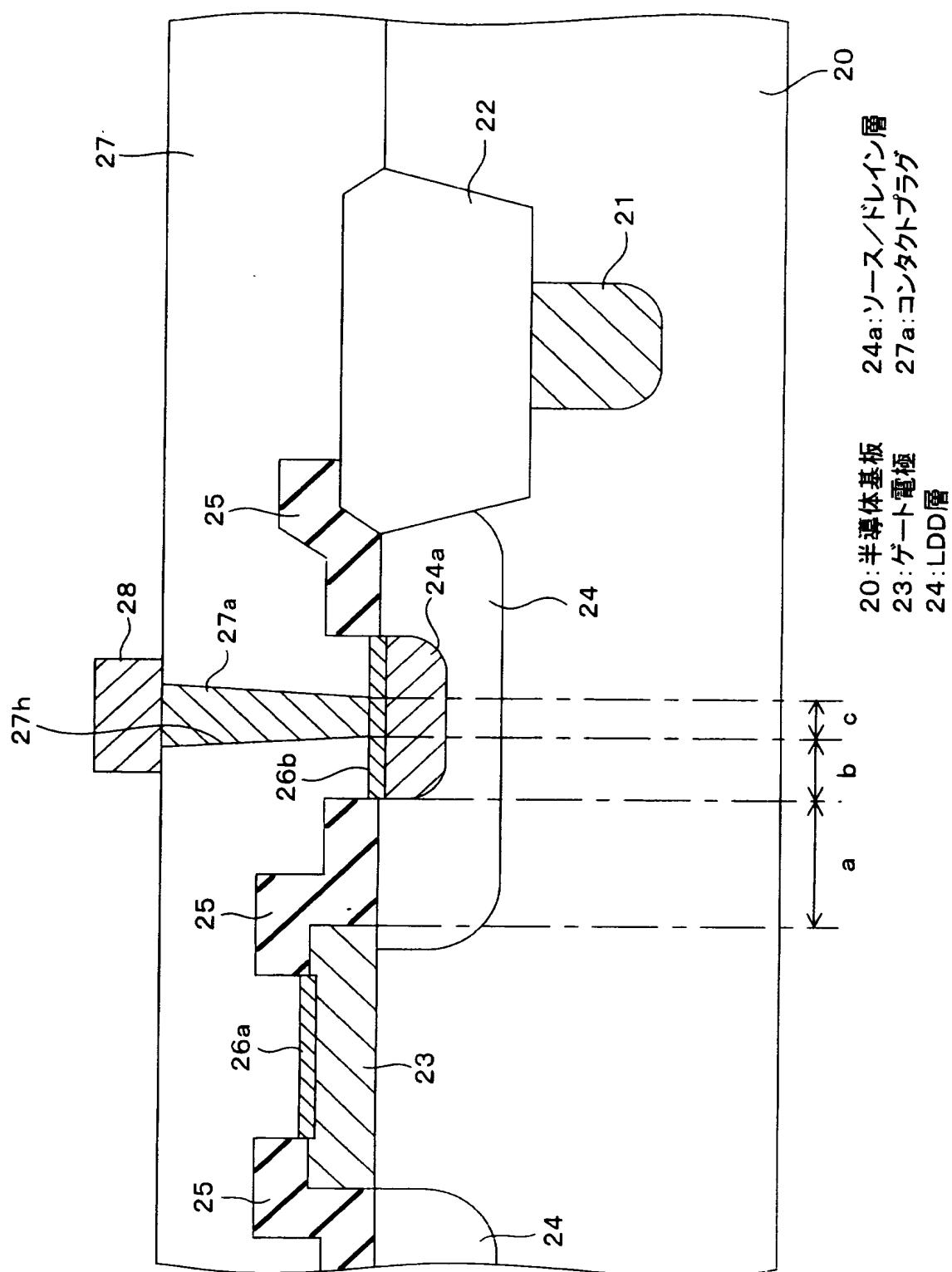
【書類名】図面

【図1】

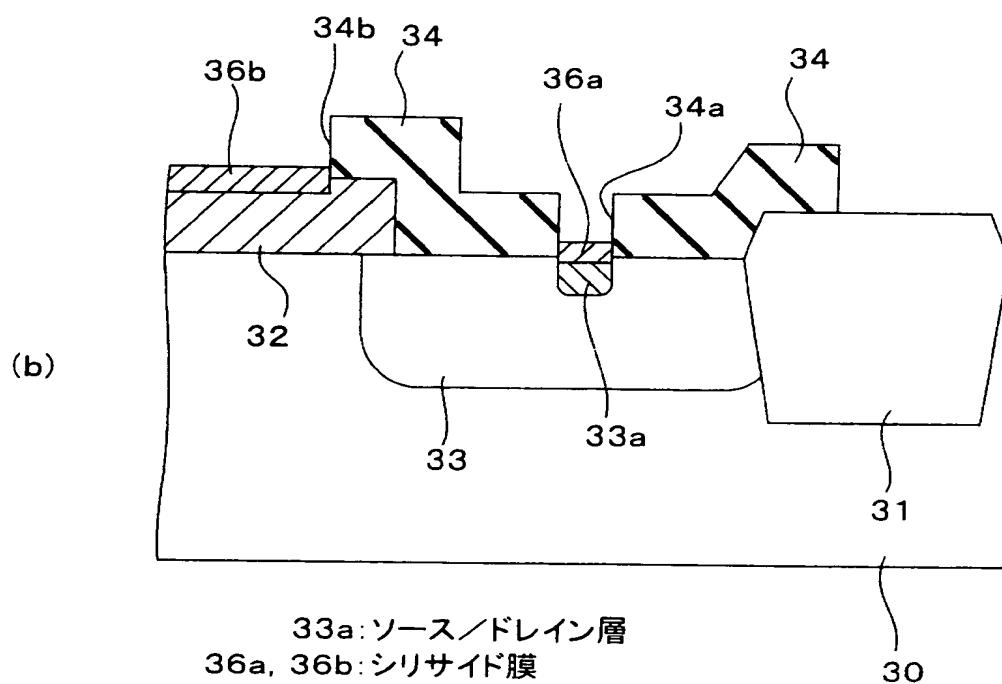
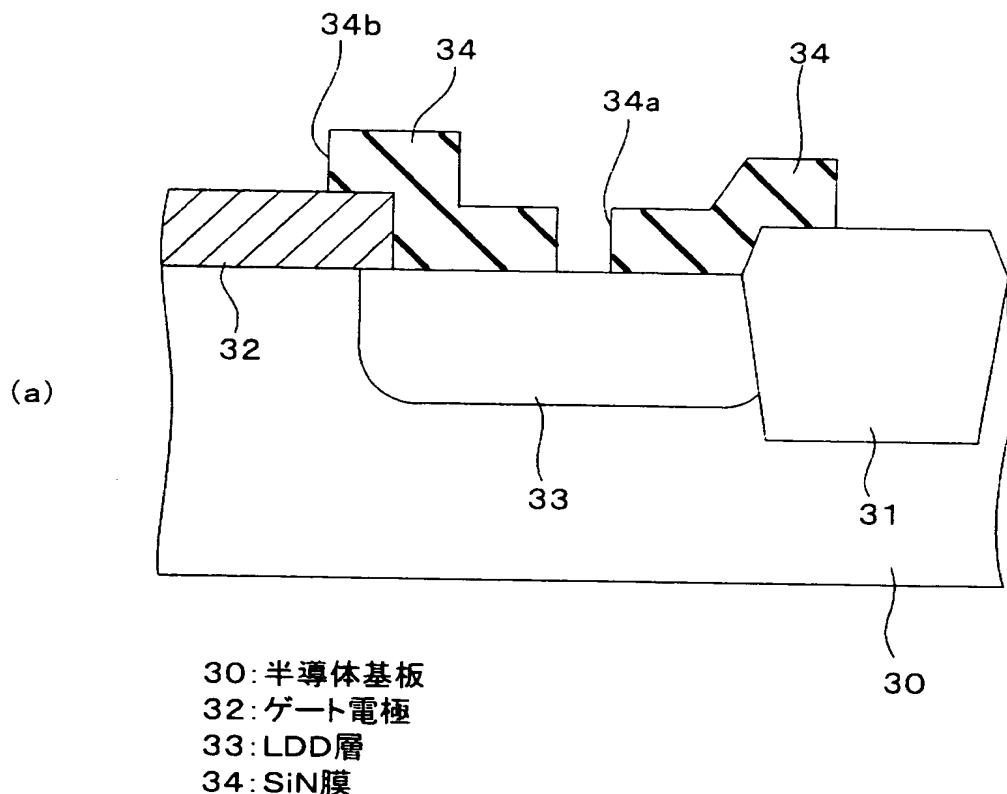


10:半導体基板
12:ゲート電極
13:LDD層
13a:ソース／ドレイン層
15a:コンタクトプラグ

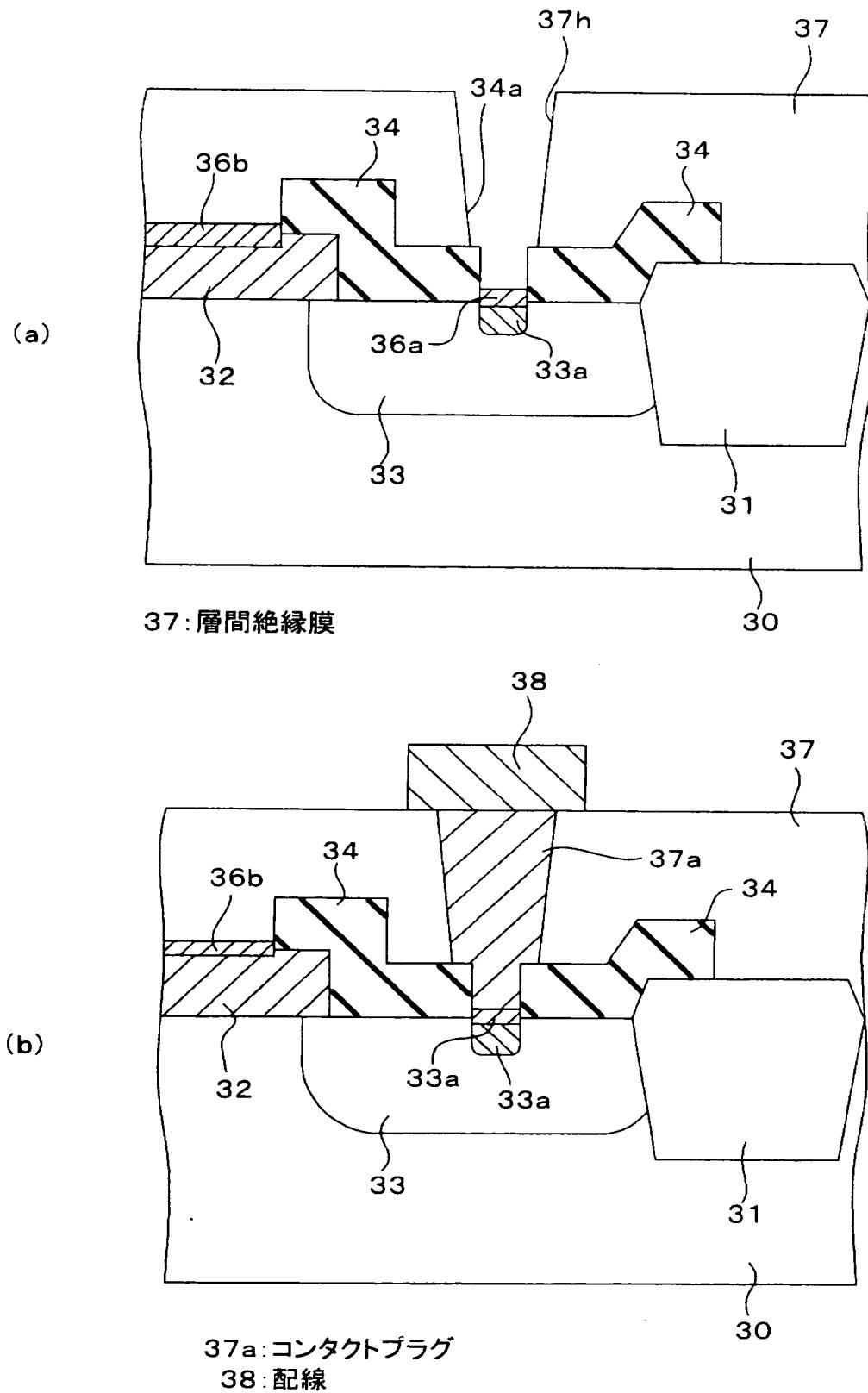
【図2】



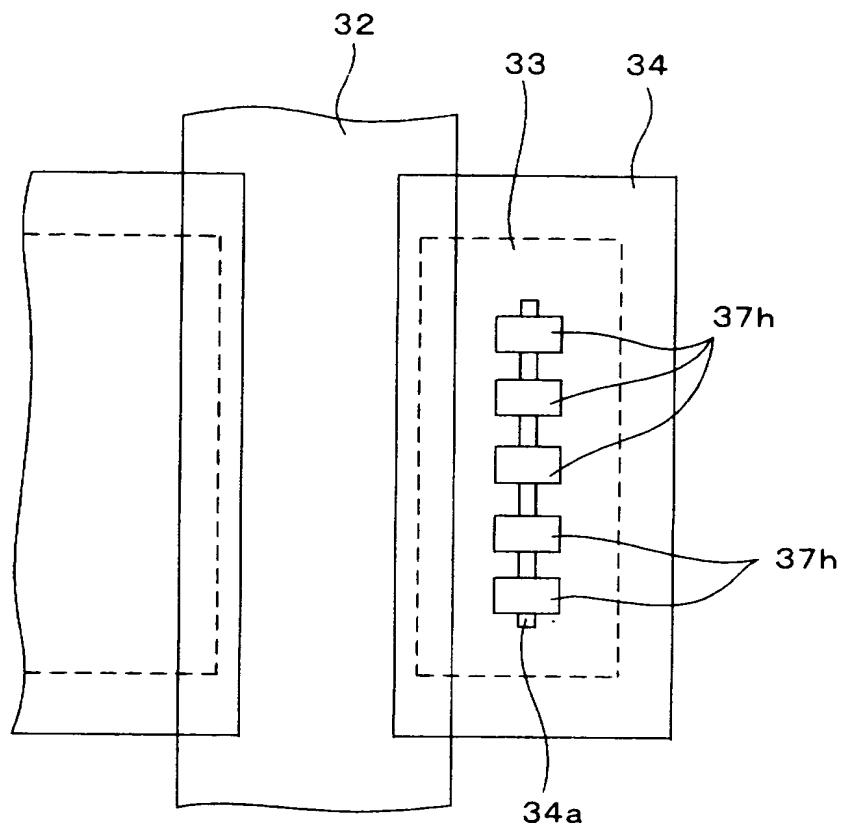
【図3】



【図4】



【図5】



32:ゲート電極

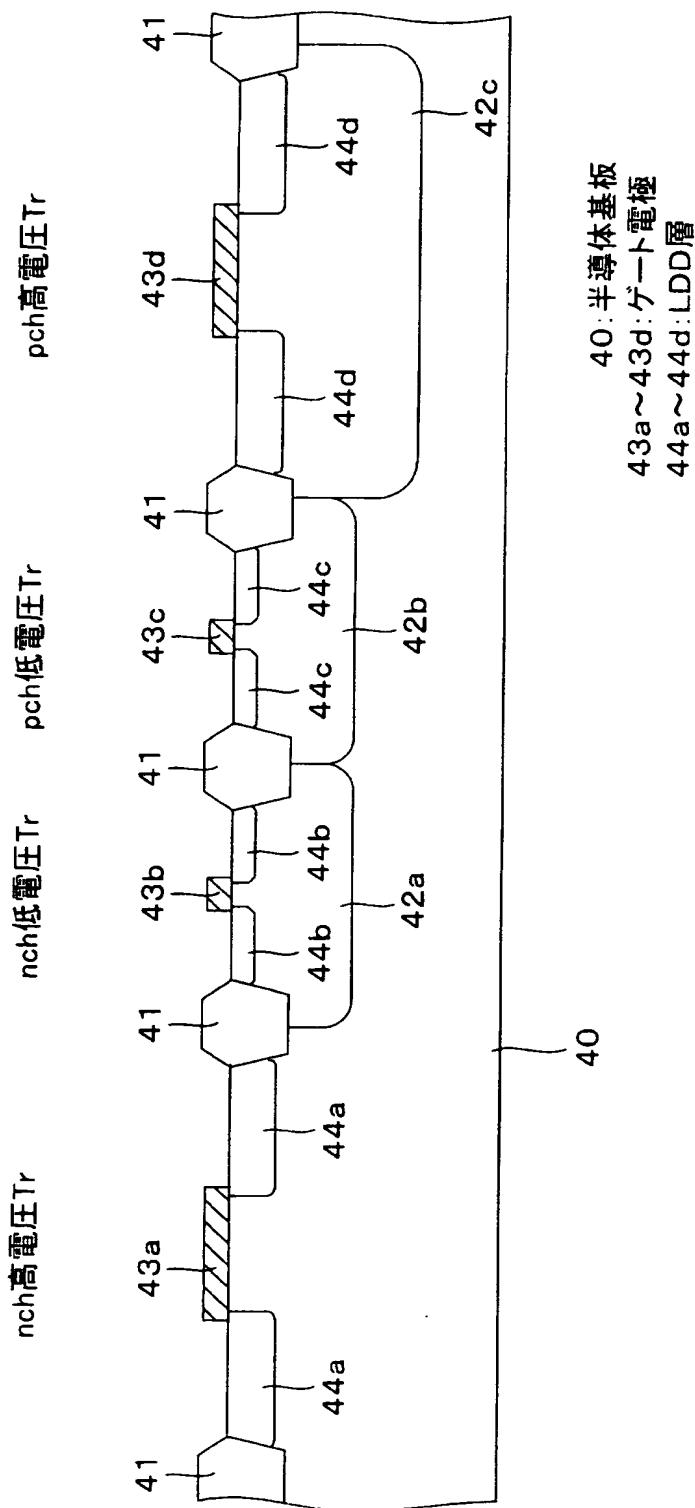
33:LDD層

34:SiN膜

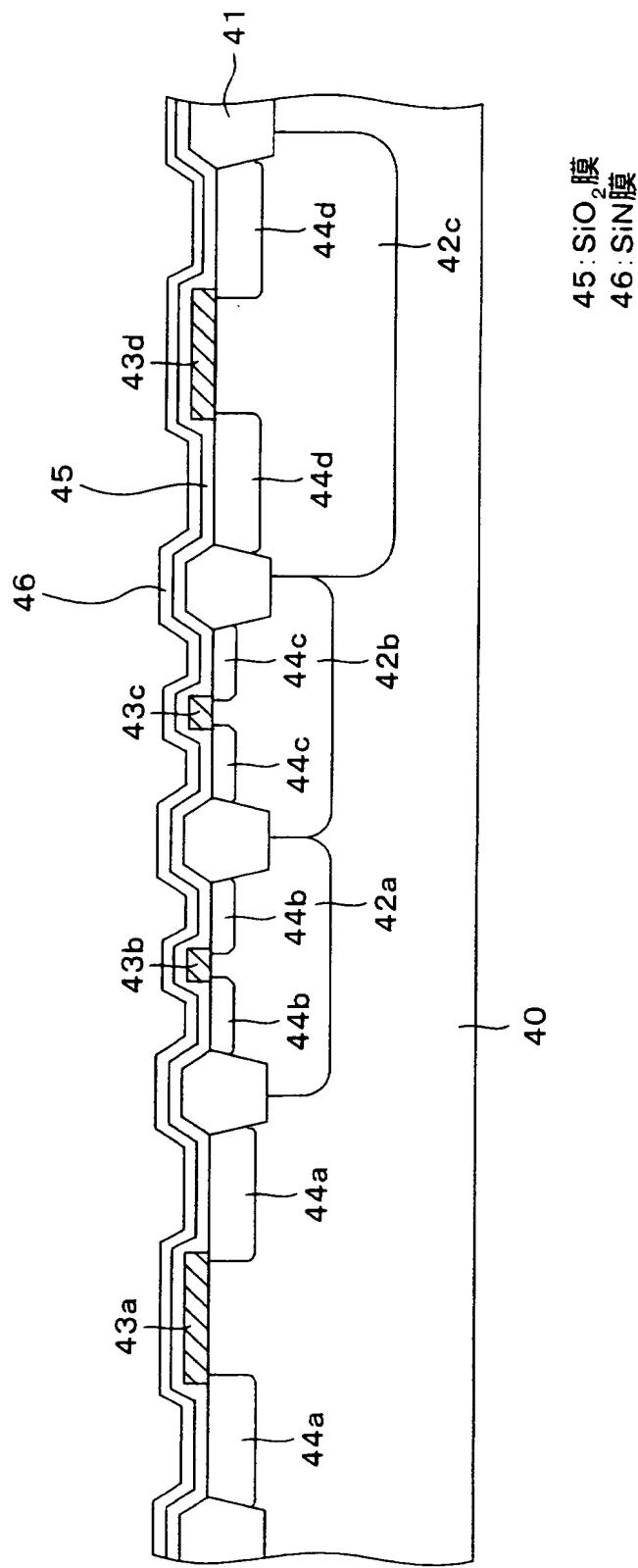
34a:SiN膜の開口部

37h:コンタクトホール

【図6】

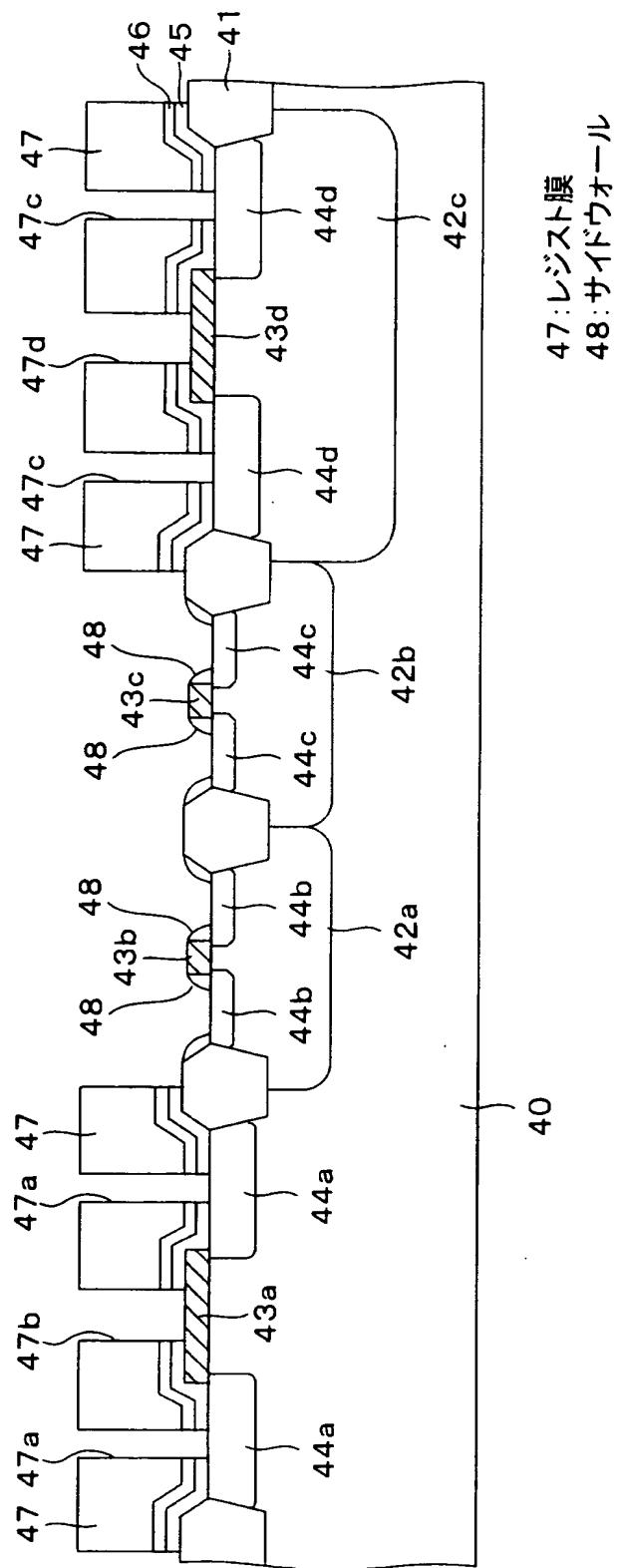


【図7】



45: SiO_2 膜
46: SiN 膜

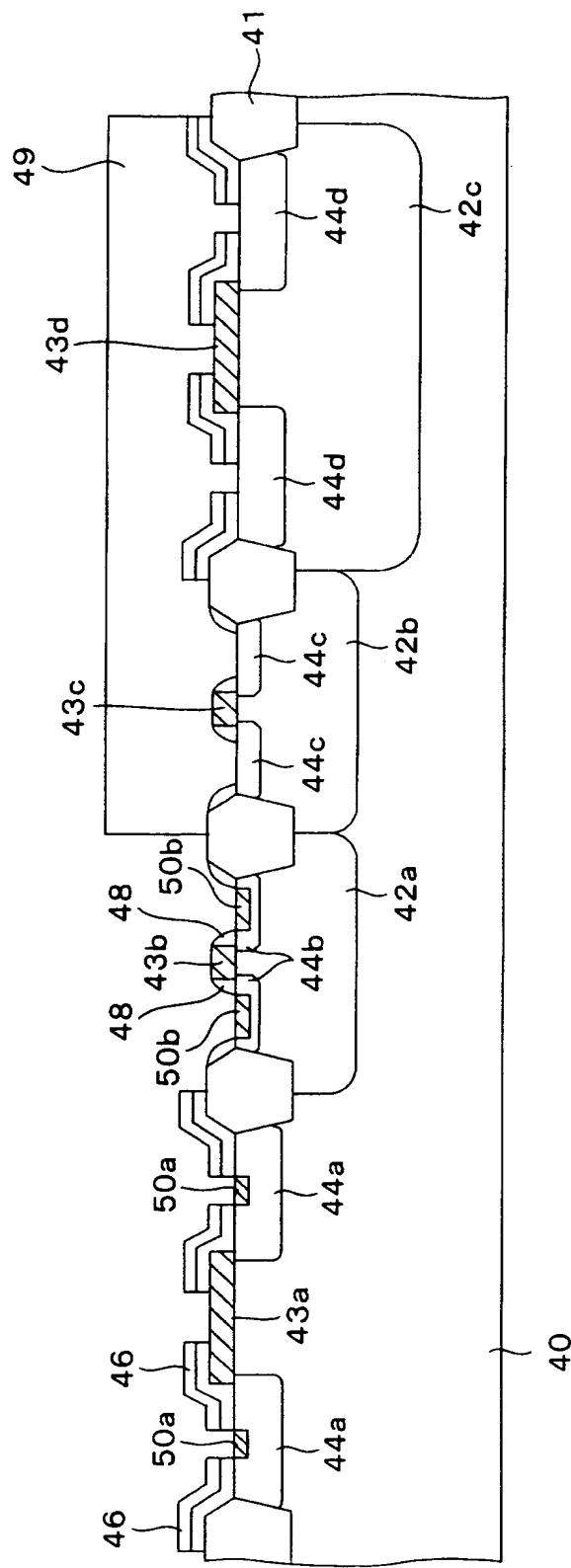
【図8】



47:レジスト膜
48:サイドウォール

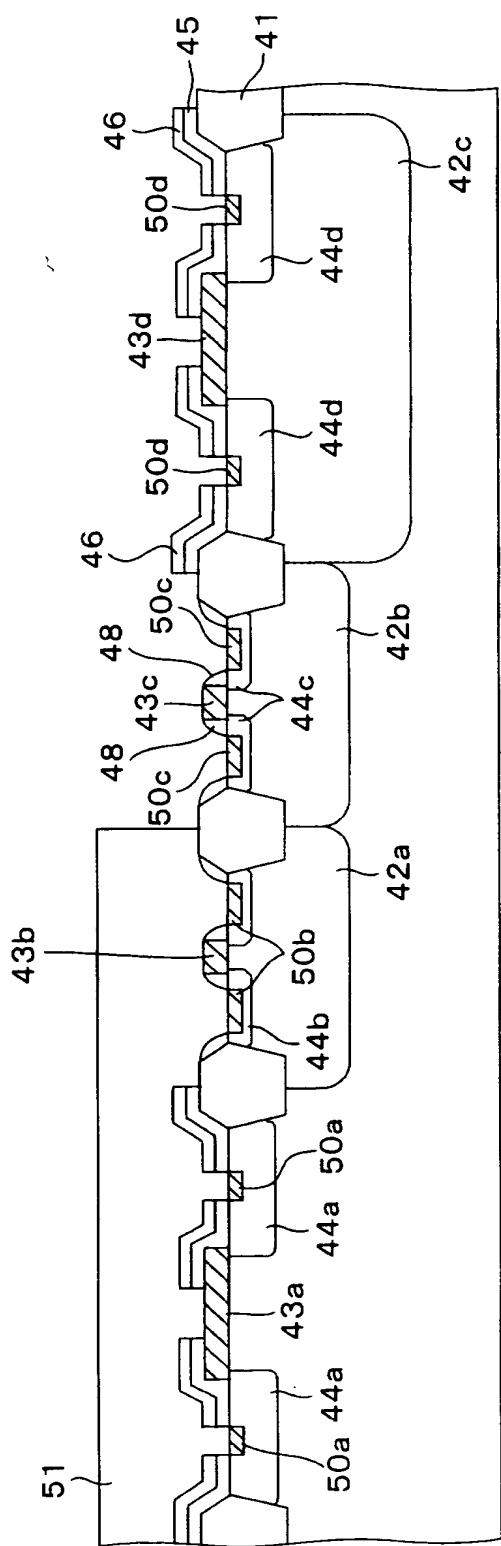
40

【図9】



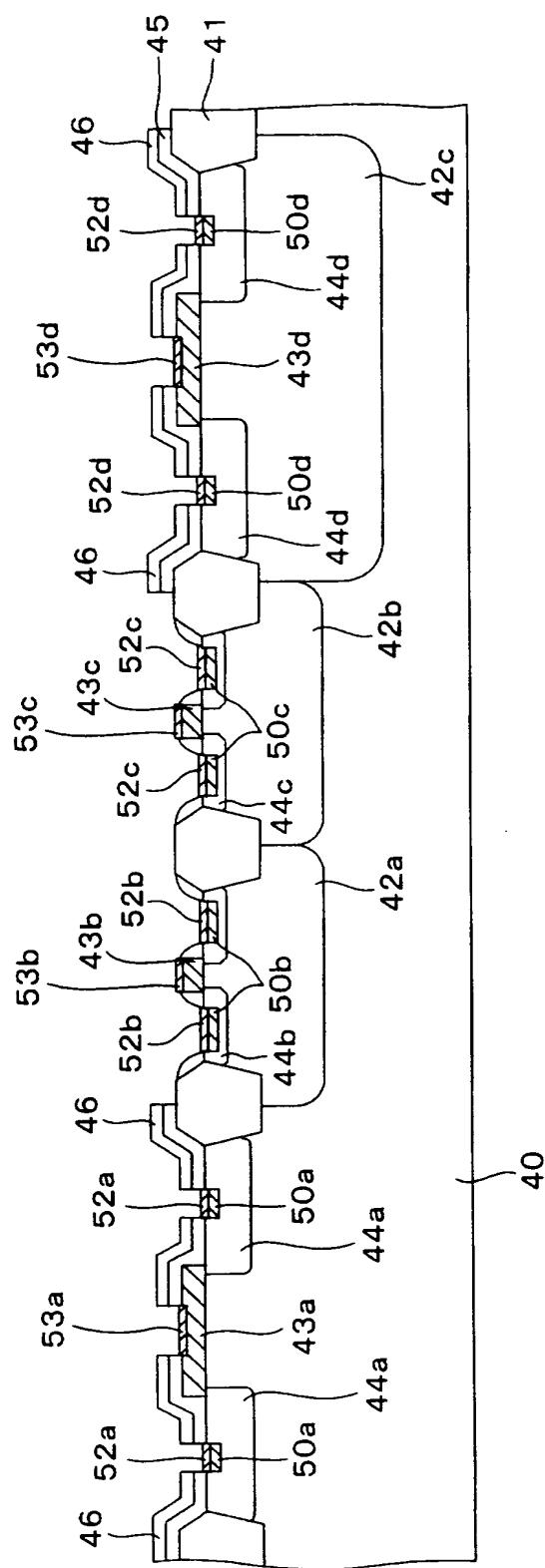
49:レジスト膜
50a, 50b:ノース/ドレイン層

【図10】



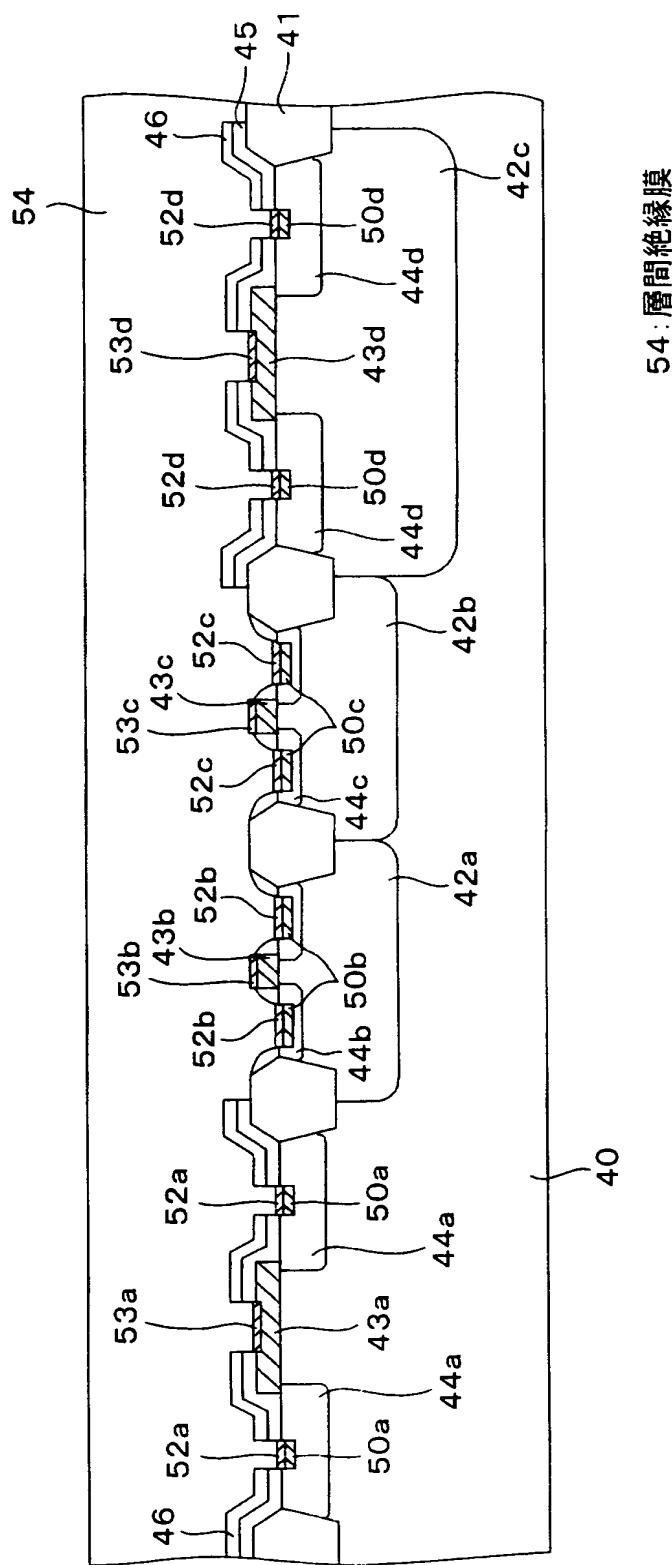
51: レジスト膜 50a~50d: ソース/ドレイン層

【図11】



52a~52d, 53a~53d:シリサイド膜

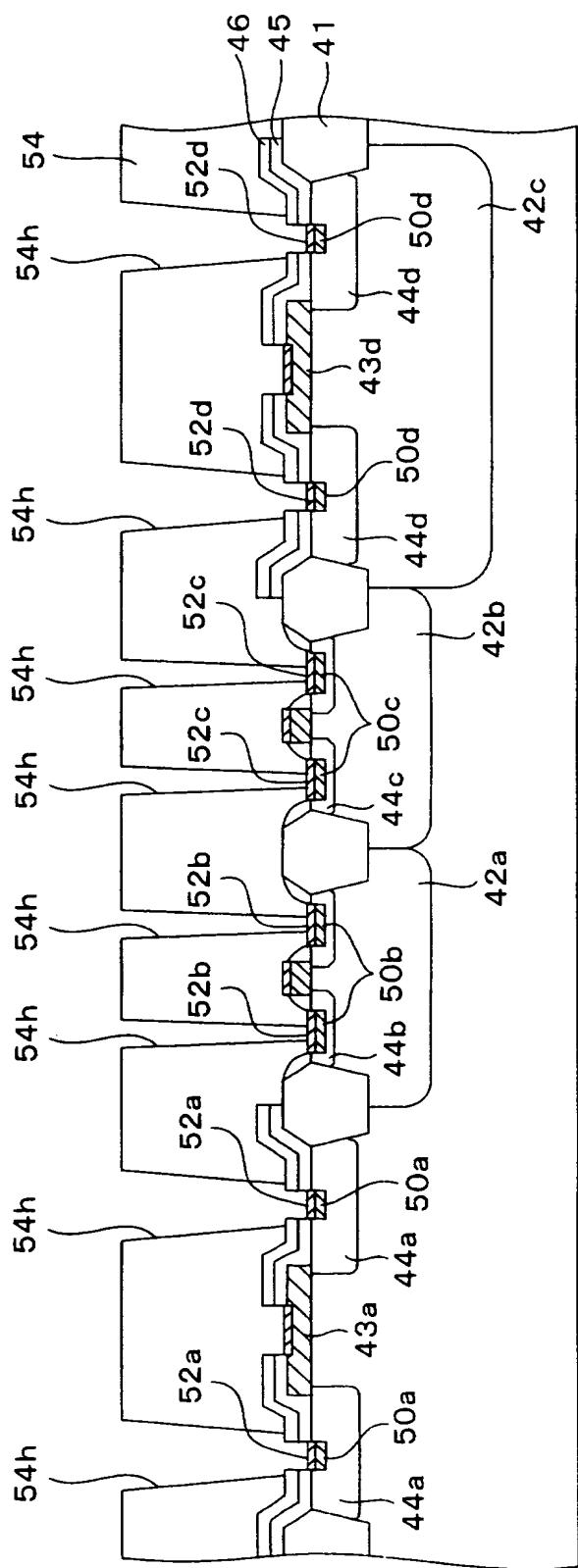
【図12】



54：層間絶縁膜

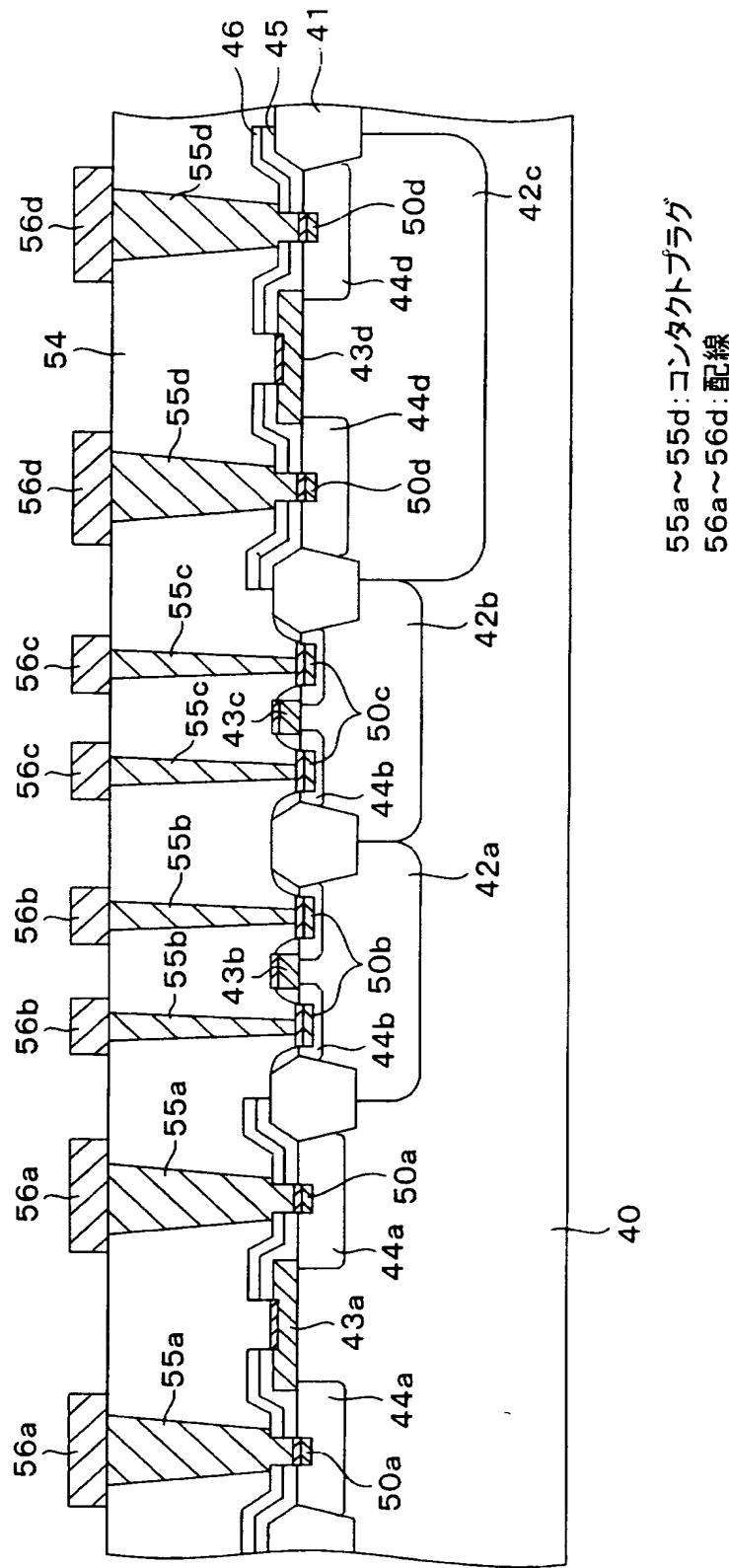
40

【図13】



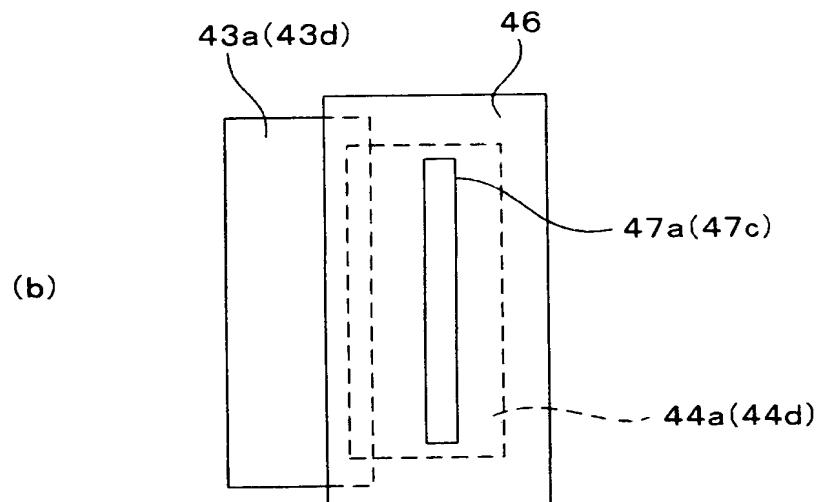
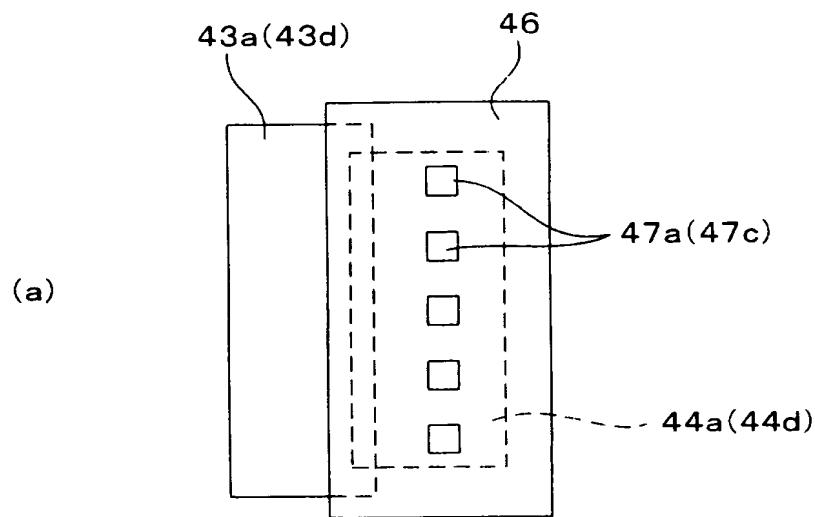
54h:コンタクトホール

【図14】

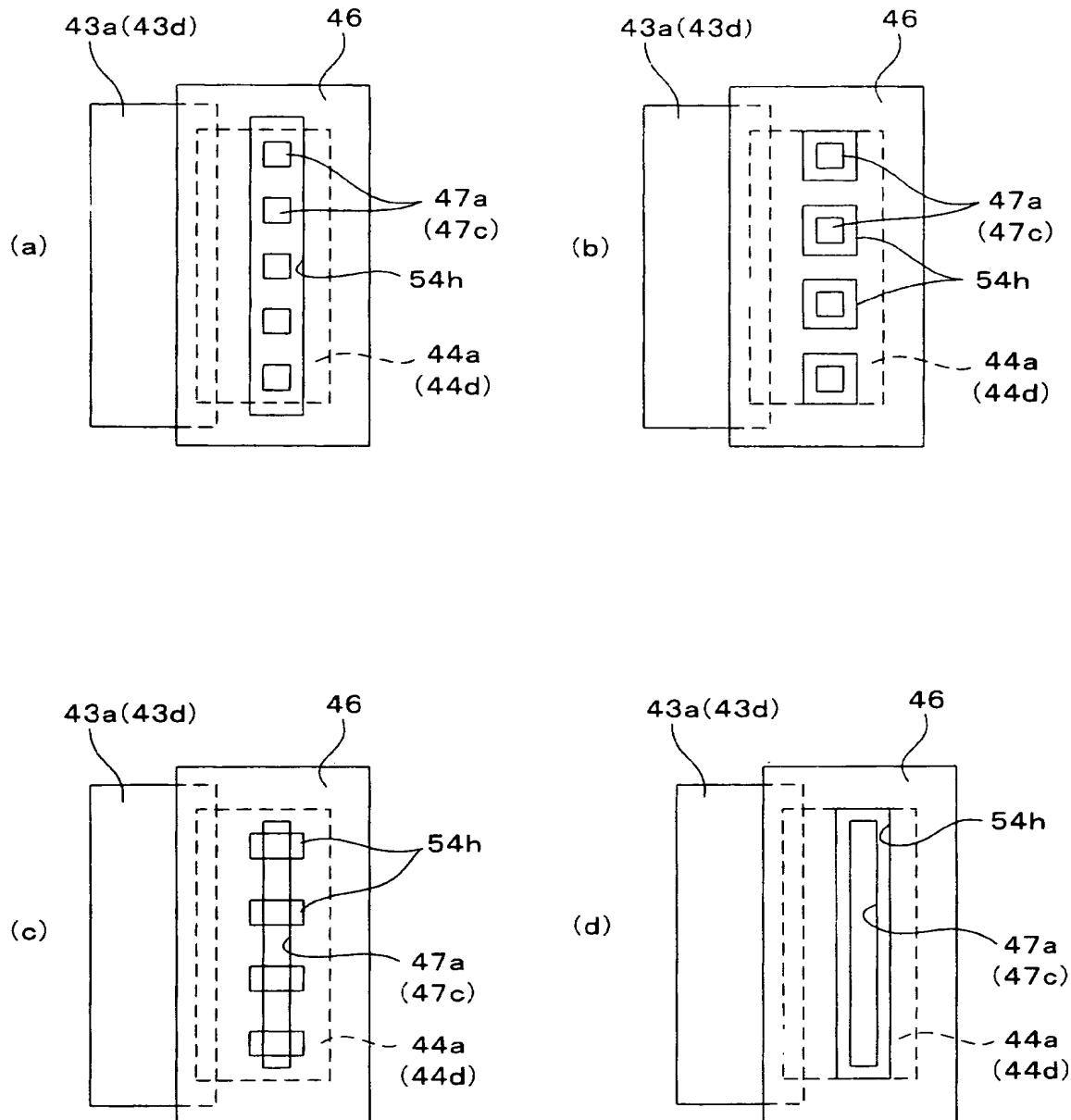


55a~55d:コンタクトプラグ
56a~56d:配線

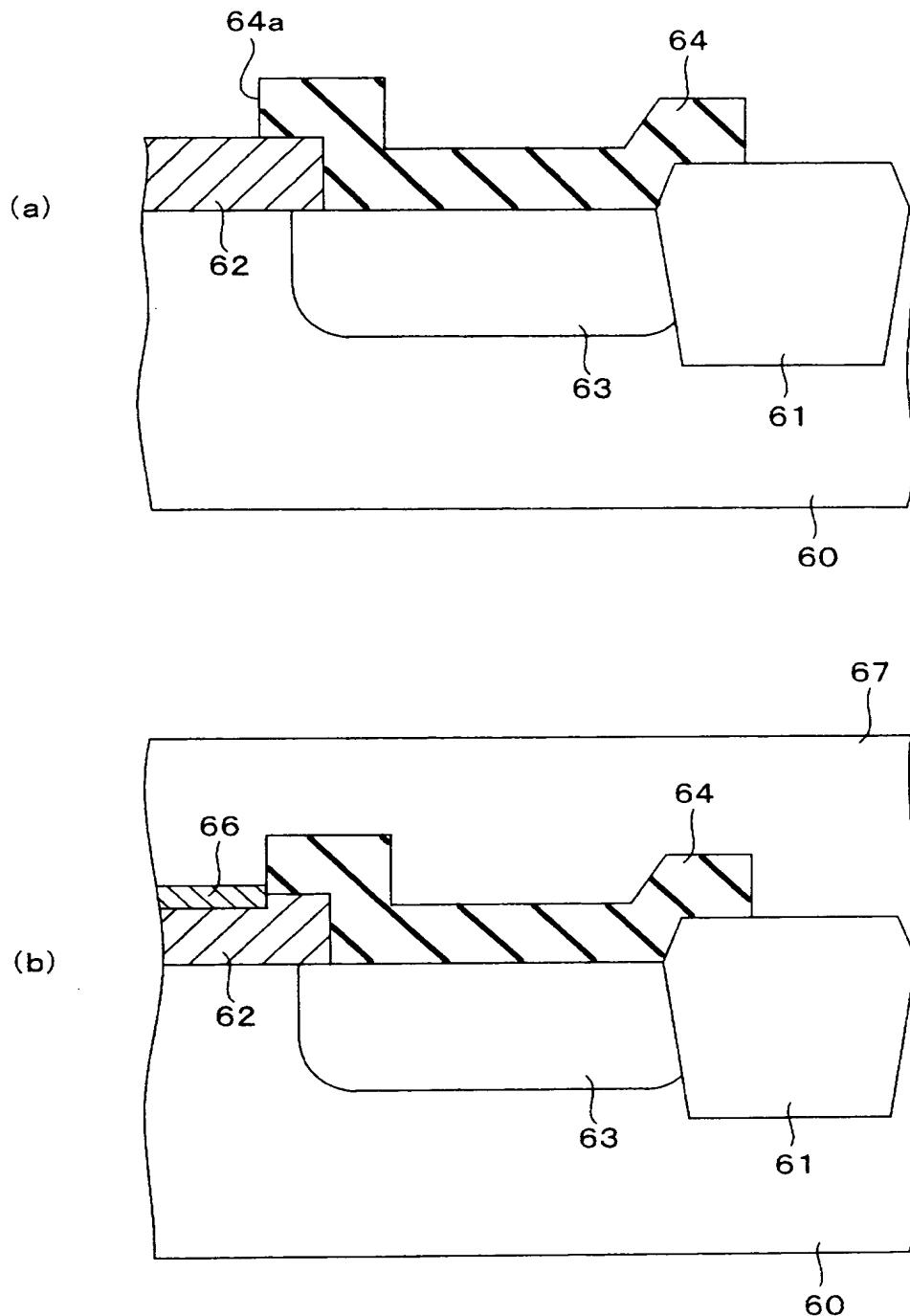
【図15】



【図16】



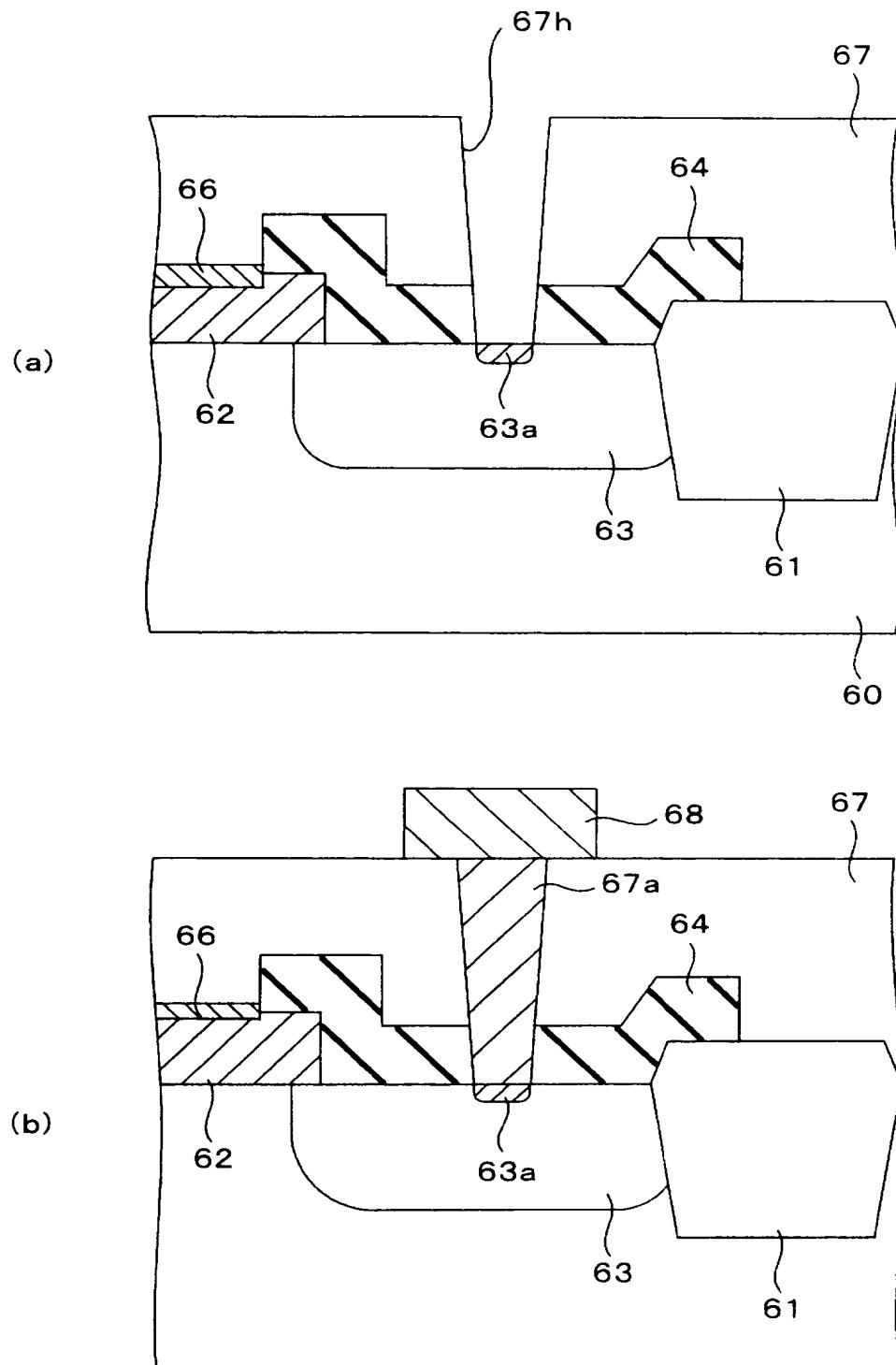
【図17】



60:半導体基板
62:ゲート電極
63:LDD層

64:SiN膜
66:シリサイド膜

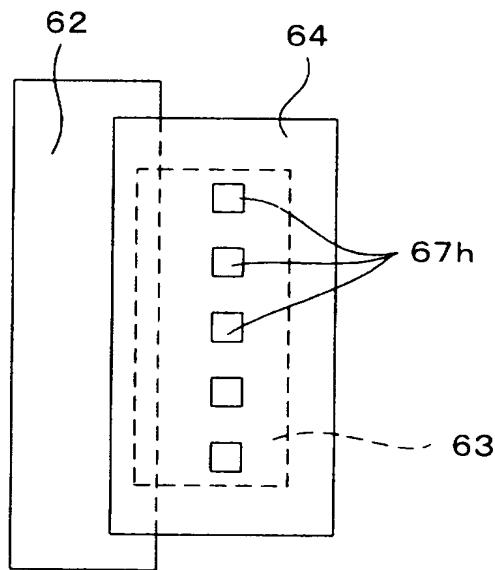
【図18】



67:層間絶縁膜

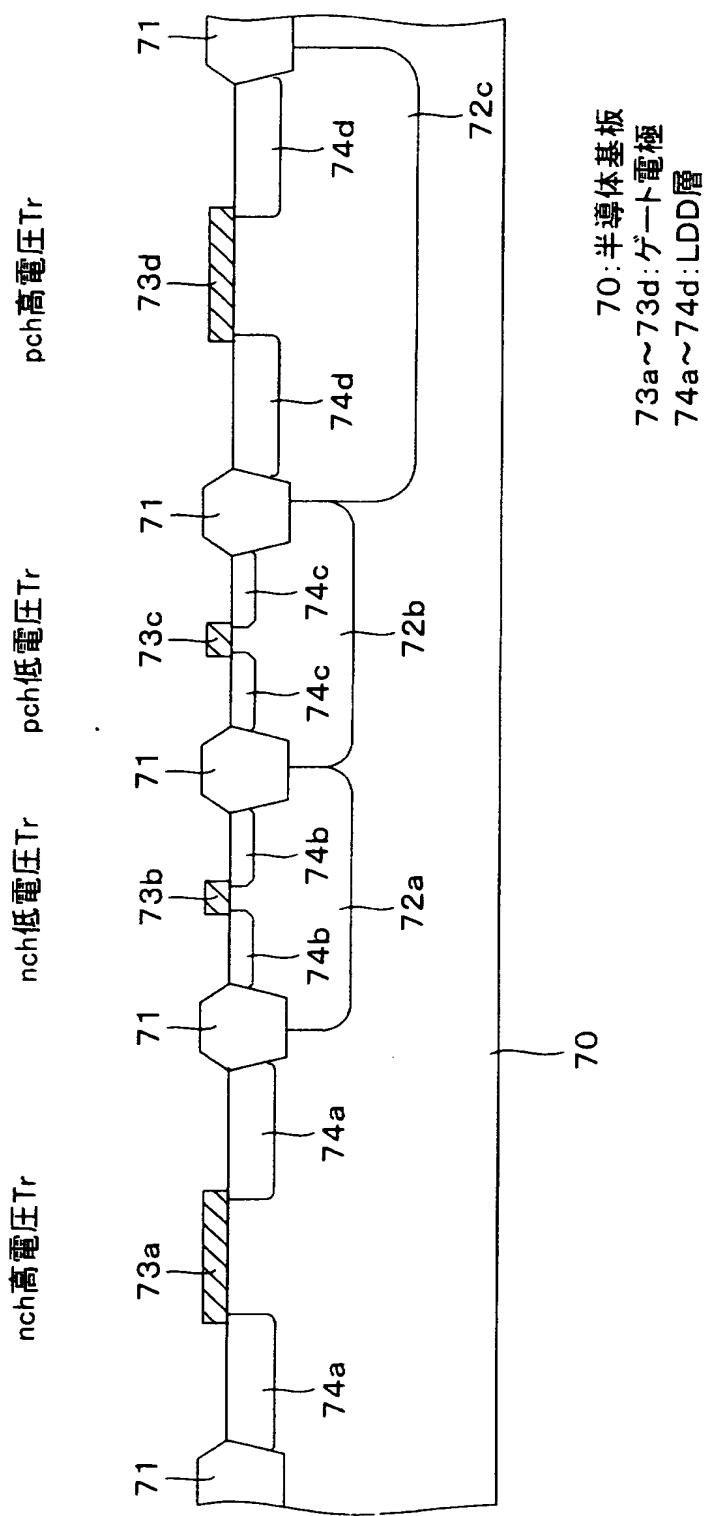
67a:コンタクトプラグ

【図19】

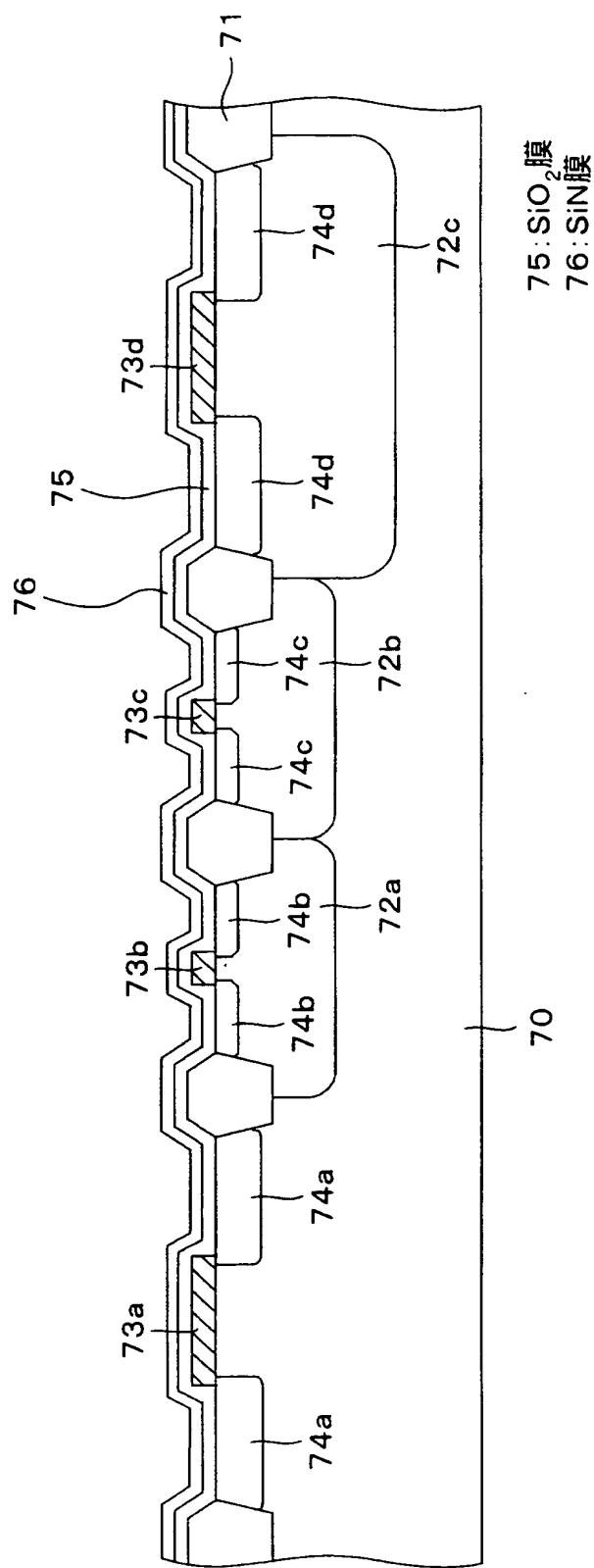


62:ゲート絶縁膜
63:LDD層
64:SiN膜
67:コンタクトホール

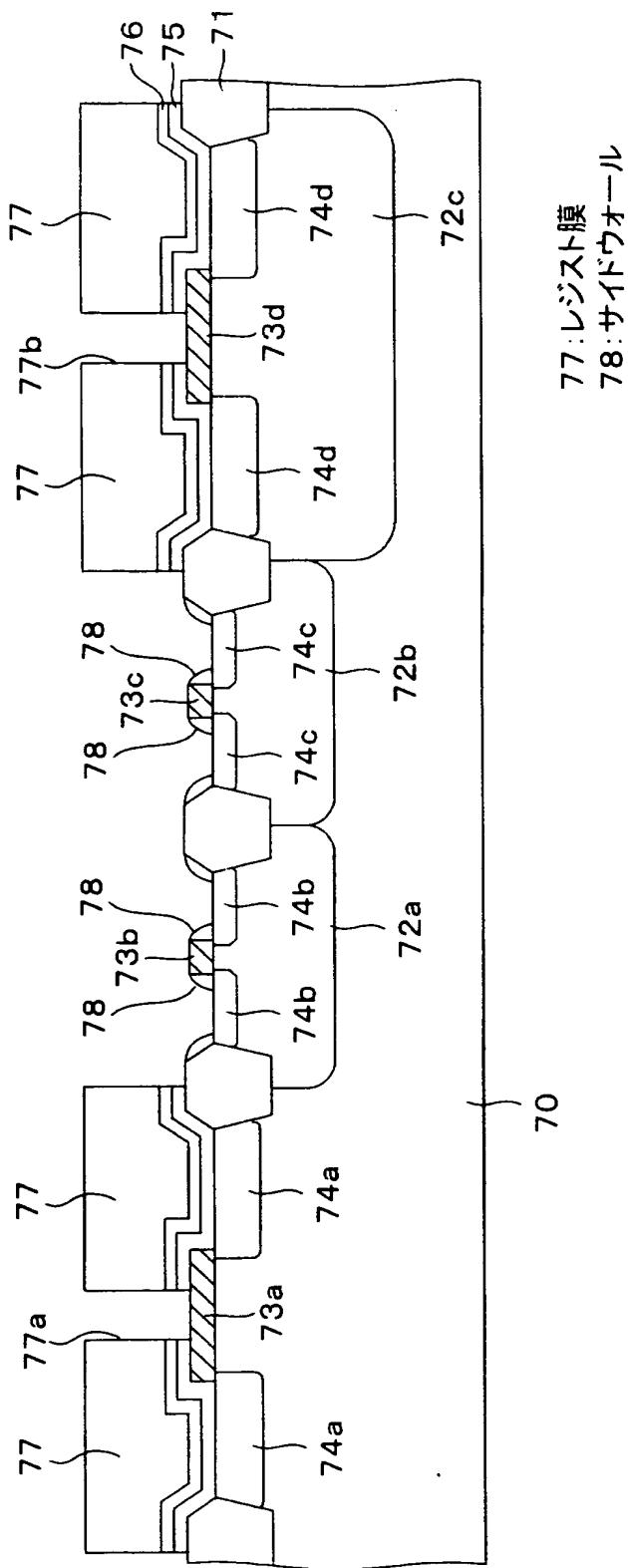
【図20】



【図21】



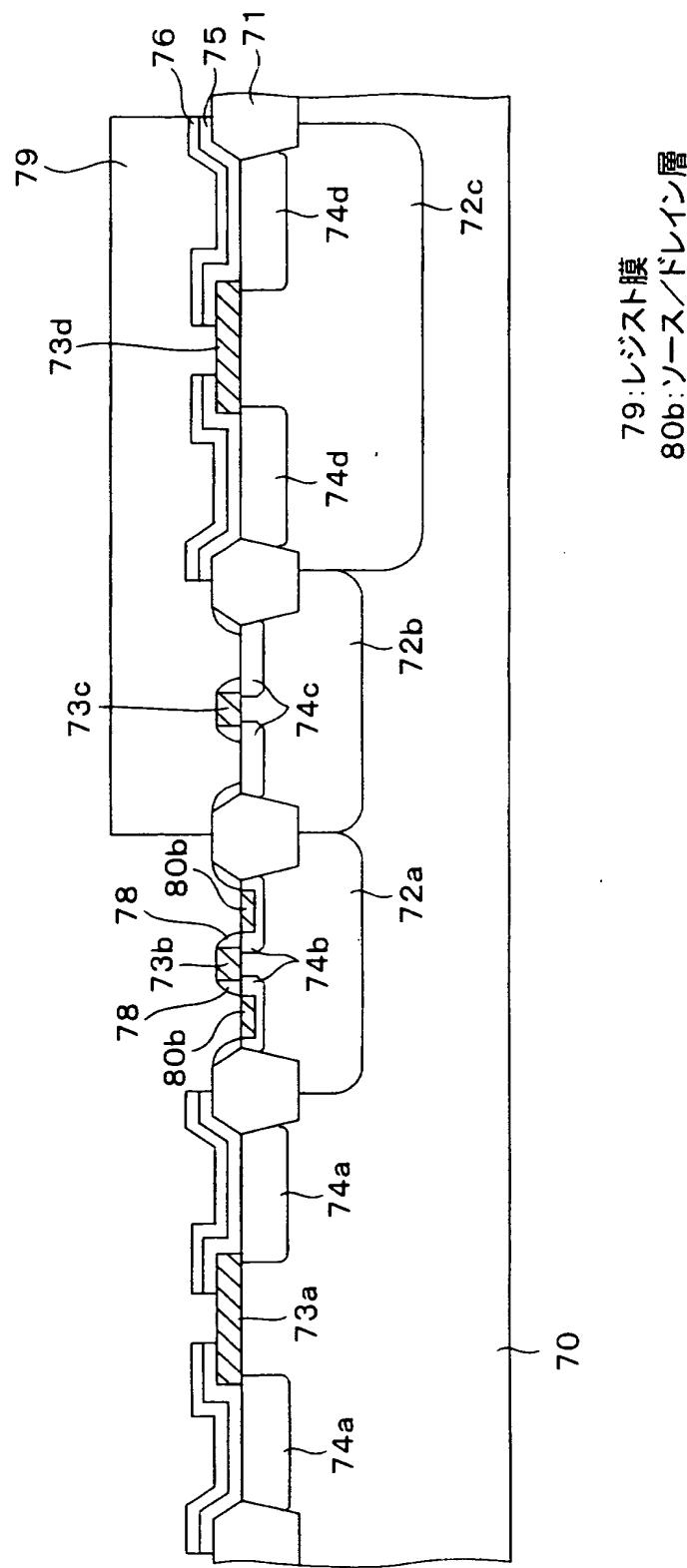
【図22】



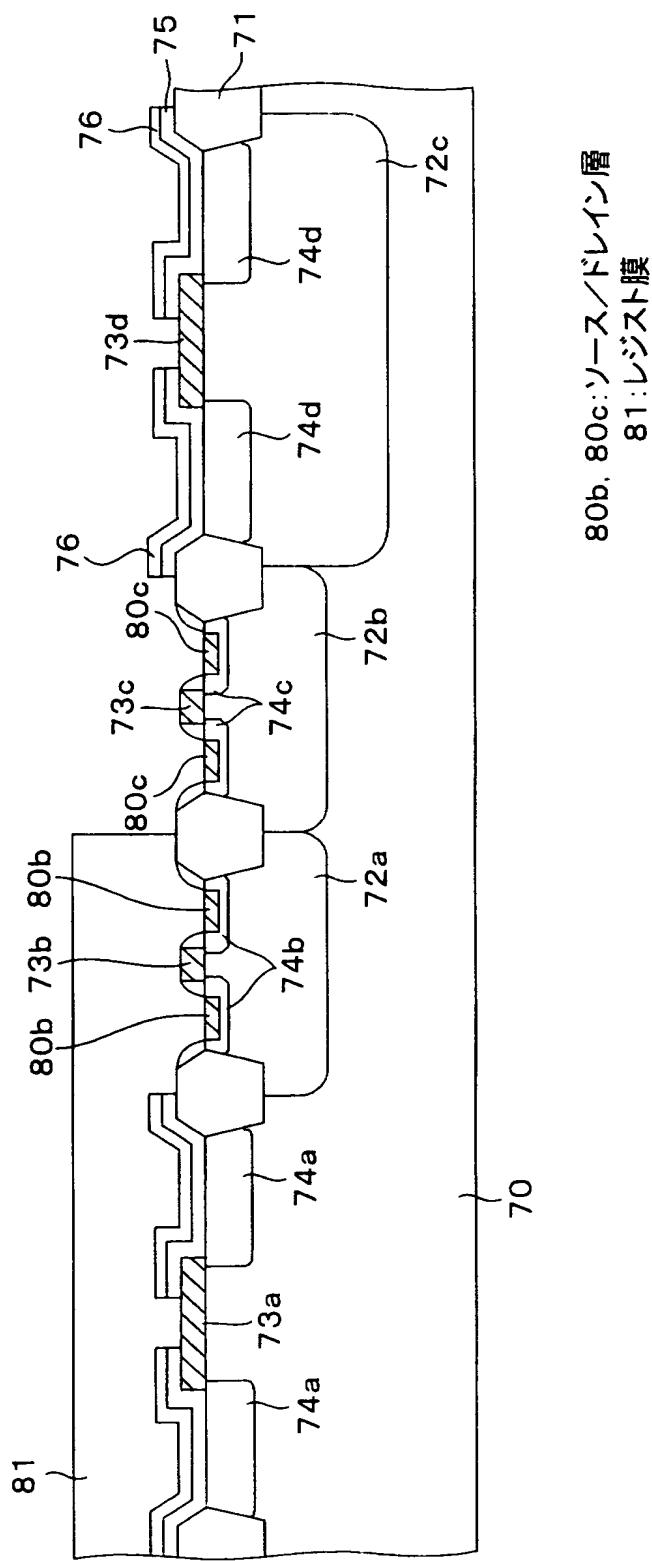
77:レジスト膜
78:サイドウォール

70

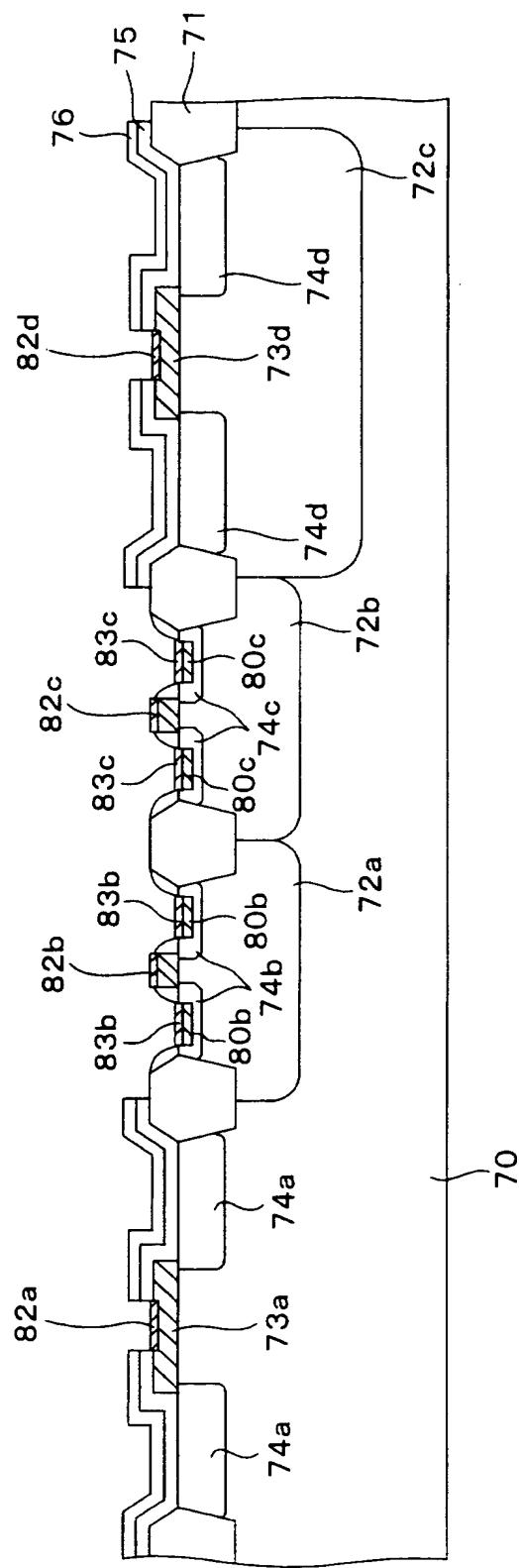
【図23】



【図24】

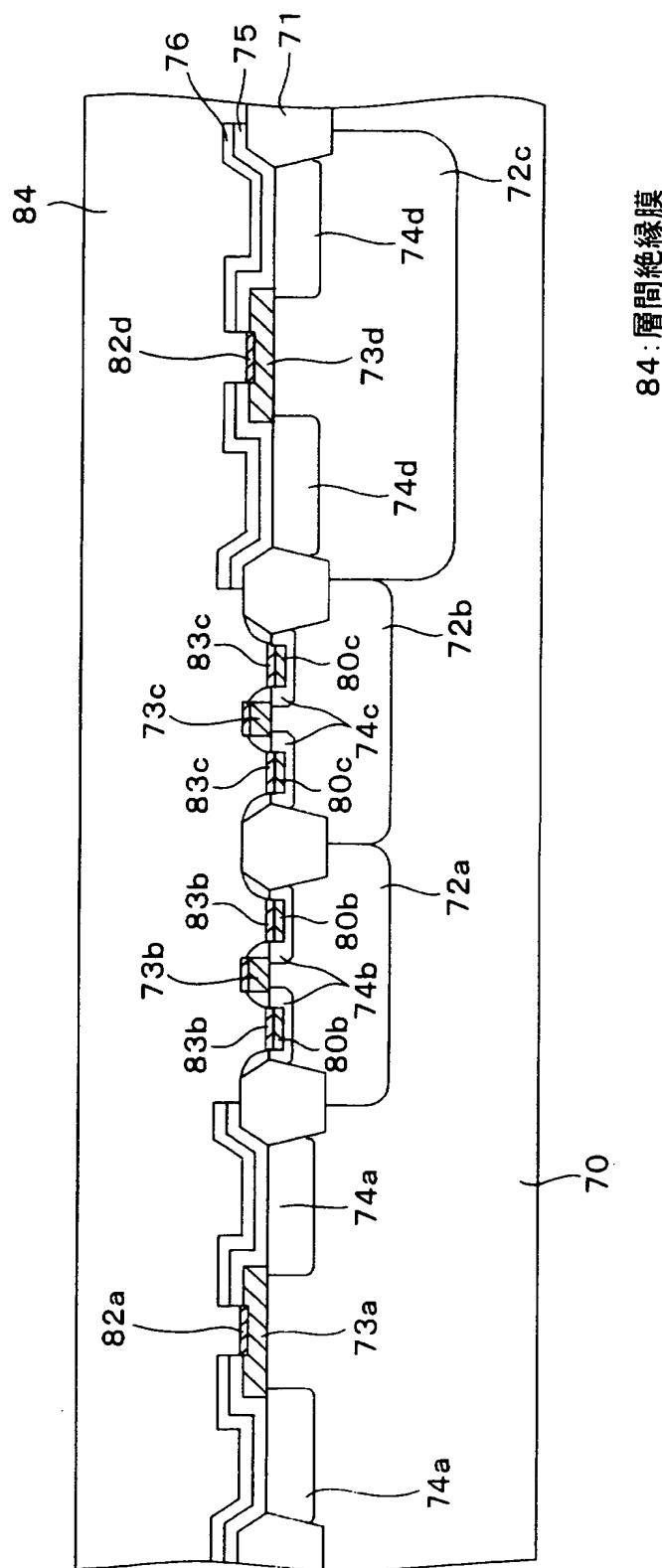


【図25】



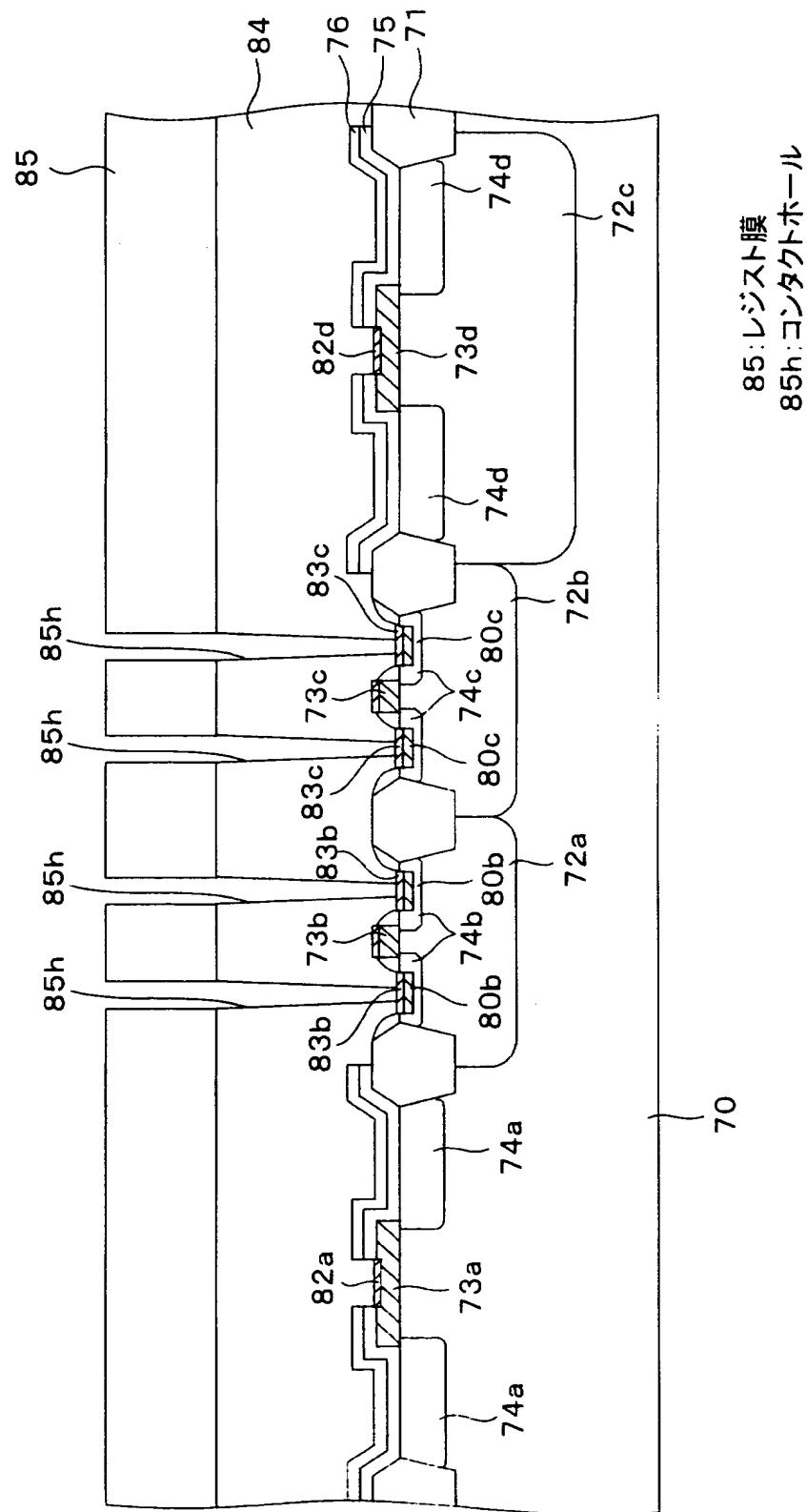
82a~82d, 83b, 83c, 80c, 80d, 72a, 72b, 72c, 73a, 73b, 73c, 74a, 74b, 74c, 74d, 80b, 80c, 80d, 82a, 82b, 82c, 82d, 83b, 83c, 71, 75

【図26】

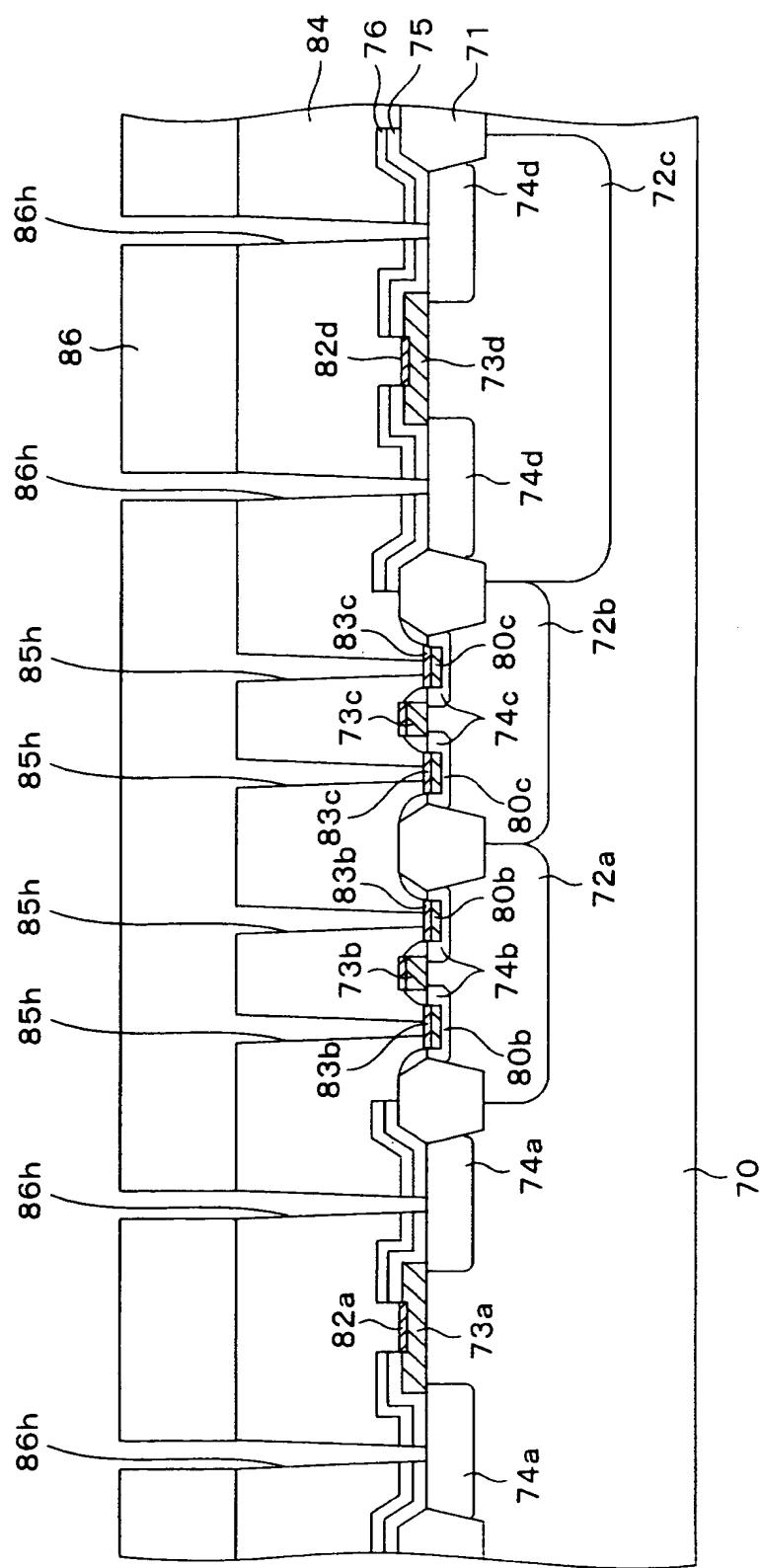


84: 層間絶縁膜

【図27】



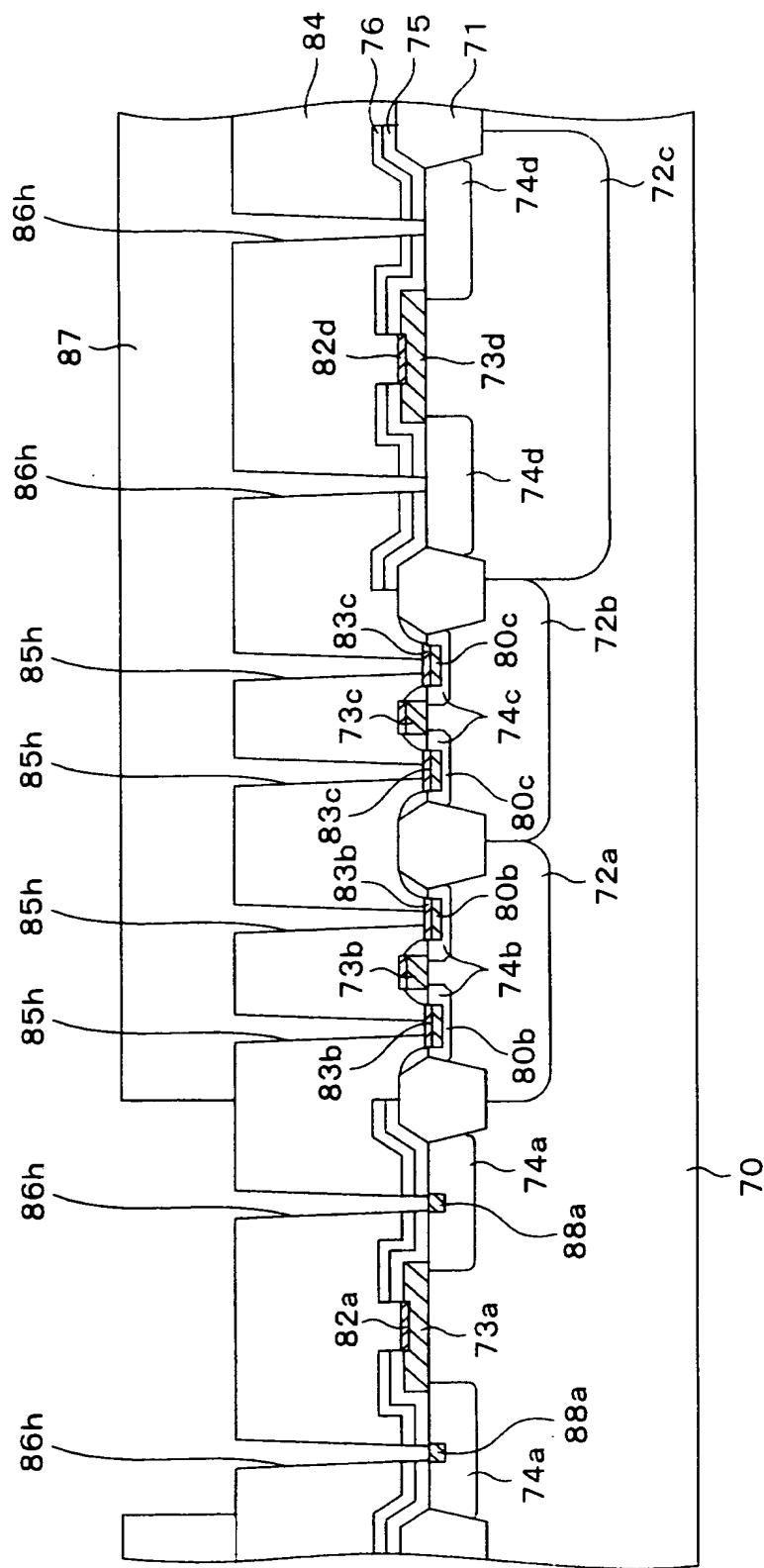
【図28】



85h, 86h:コンタクトホール
86:レジスト膜

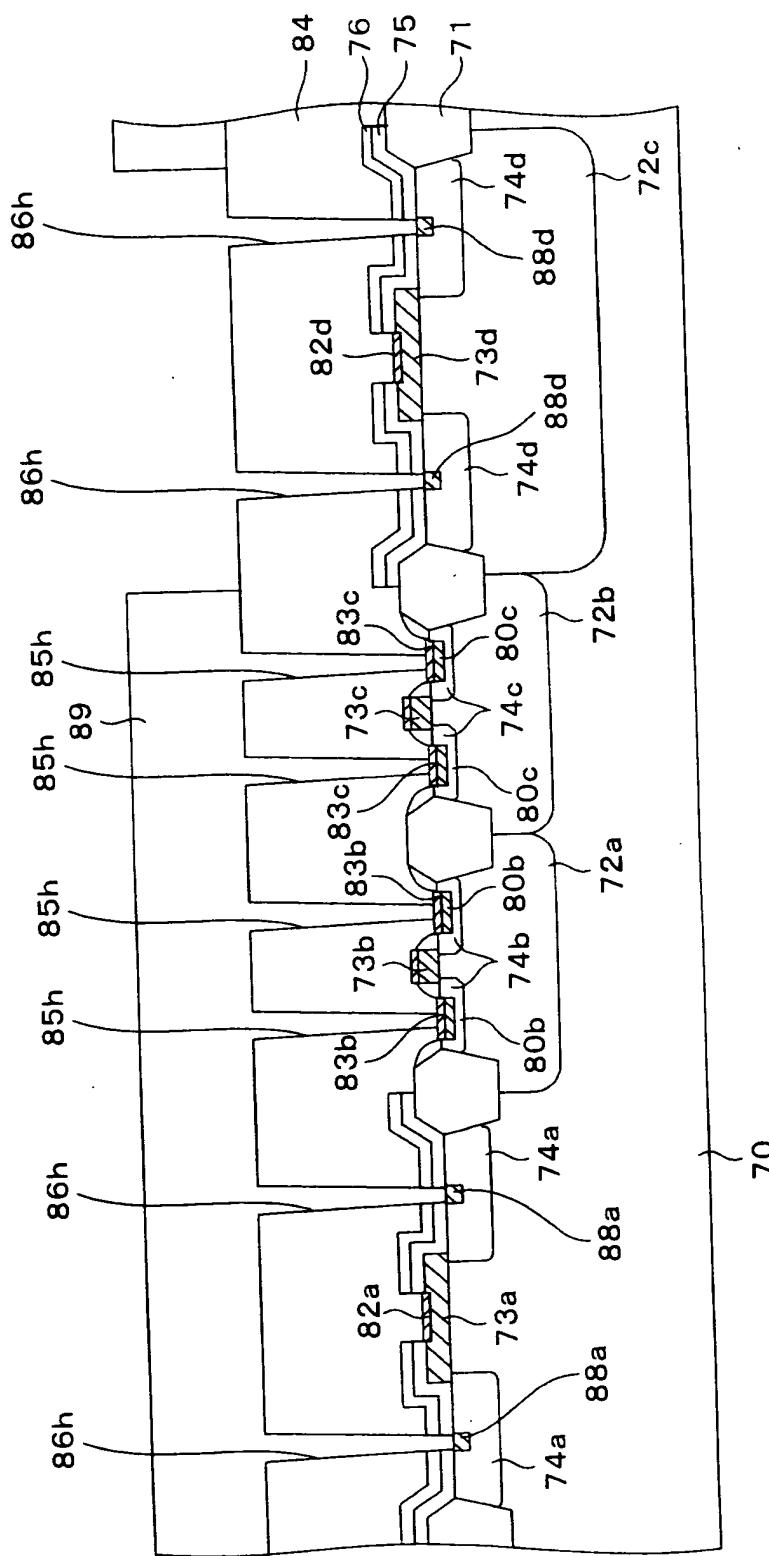
70

【図29】



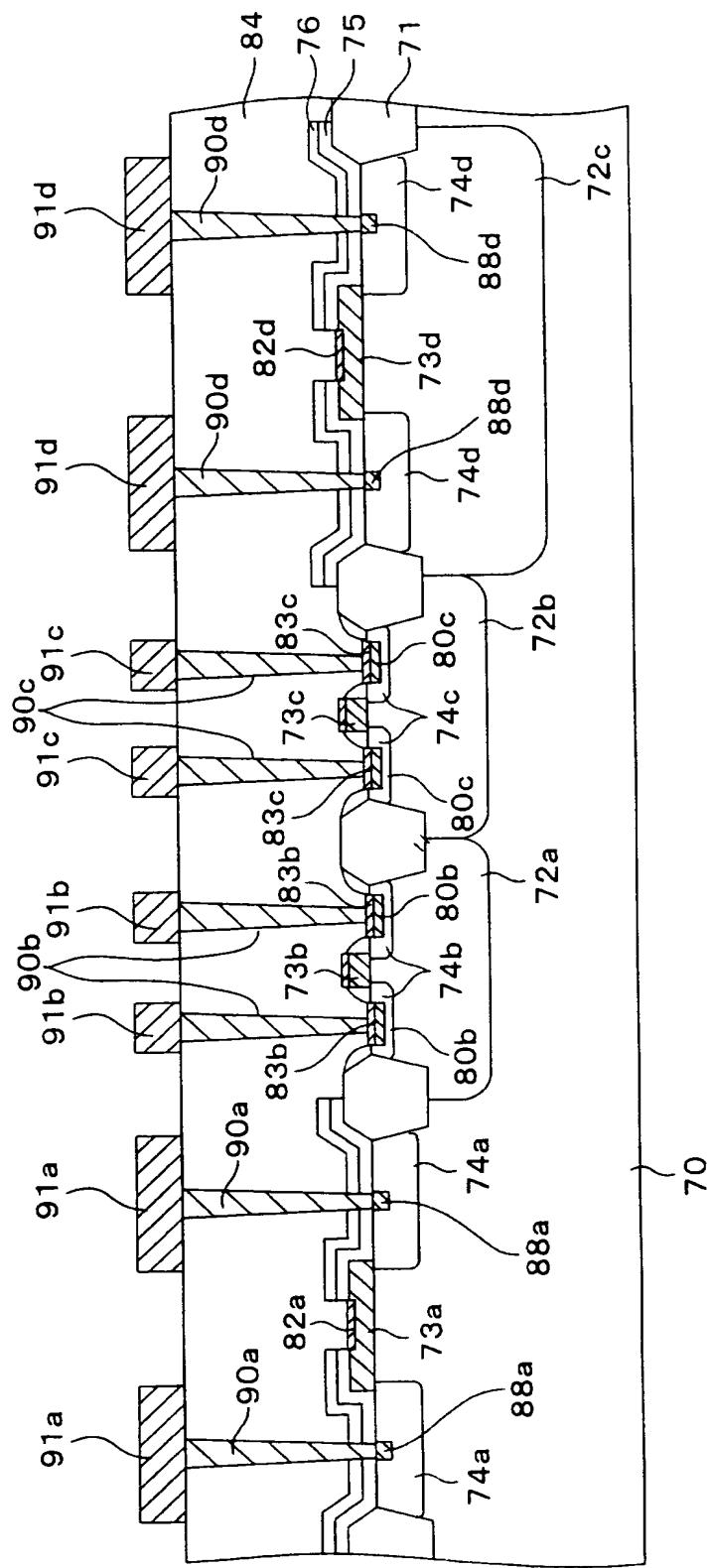
80b, 80c, 88a:ソース/ドレイン層

【図30】



80b, 80c, 88a, 88d: ノース／ドライン層

【図31】

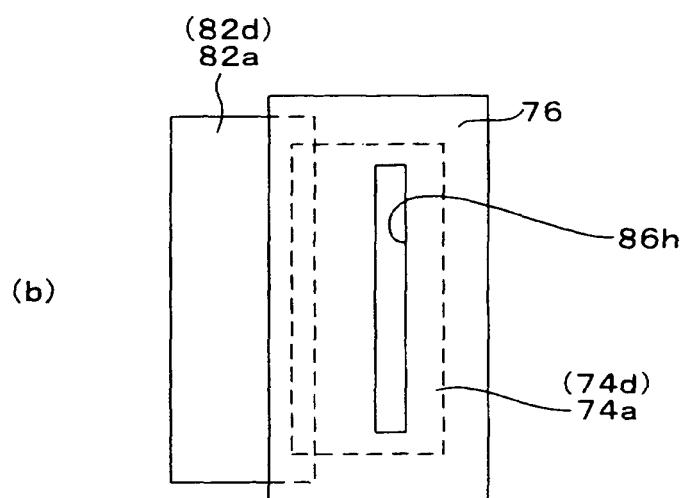
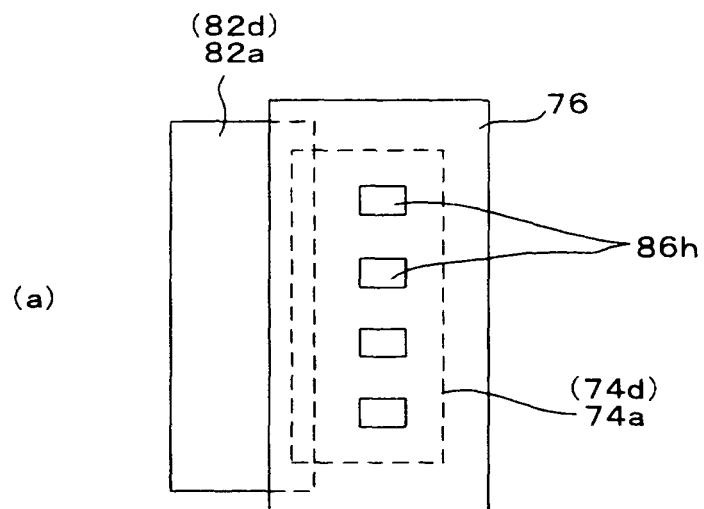


90a~90d:コンタクトビア
91a~91d:配線

90a~91a~91d: 配線

70

【図32】



【書類名】要約書

【要約】

【課題】 ゲート電極又はソース／ドレイン層の上にシリサイド膜を有し、従来に比べてより一層の高密度化が可能な半導体装置及びその製造方法を提供する。

【解決手段】 ゲート電極32及びLDD層33が形成された半導体基板30の上にシリサイドブロックとなるSiN膜34を形成し、このSiN膜34にLDD層33に通じる開口部34aを設ける。この開口部34aを介してLDD層33に不純物を導入してソース／ドレイン層33aを形成し、その表面をシリサイド化してシリサイド膜36aを形成する。次に、SiO₂からなる層間絶縁膜37を形成し、SiNに比べてSiO₂のエッティングレートが大きい条件で層間絶縁膜37をエッティングして、層間絶縁膜37の上面から開口部34aを介しLDD層33に到達するコンタクトホール37hを形成する。

【選択図】 図4

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社